



Espacenet

Bibliographic data: JP2003229359 (A) — 2003-08-15

MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

Inventor(s): TANADA YOSHIFUMI; NAKAJIMA KAZUYA ±
Applicant(s): SEMICONDUCTOR ENERGY LAB ±
Classification: - *H01L21/20; H01L21/268; H01L21/336; H01L29/786; H01S3/00; (IPC1-7): H01L21/20; H01L21/268; H01L21/336; H01L29/786; H01S3/00*
 - **European:**
Application number: JP20020338768 20021122
Priority number(s): JP20020338768 20021122; JP20010365302 20011129

Abstract of JP2003229359 (A)

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device of high-speed driving and high reliability, with a TFT in which a semiconductor layer, crystallized using CW laser, is used as an active layer. ; **SOLUTION:** The semiconductor layer which is crystallized using CW laser comprises both a semiconductor layer of large crystal grain and a semiconductor layer of fine crystal grain, depending on the distribution of energy density, in the width direction of irradiated laser. Although the former shows proper electrical characteristics, the latter has poor electrical characteristics because the movement of electric charges is blocked in a poor condition in the grain boundary, resulting in inconvenience when used as an active layer for a transistor. Therefore, a circuit is arranged so that all active layers of the TFT are formed from a semiconductor layer of large crystal grain. ; **COPYRIGHT:** (C)2003,JPO

Last updated: 5.12.2011 Worldwide Database 5.7.31; 92p

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-229359

(P2003-229359A)

(43) 公開日 平成15年8月15日 (2003.8.15)

(51) Int.Cl. ⁷	識別記号	F I	テーマート* (参考)
H 0 1 L 21/20		H 0 1 L 21/20	5 F 0 5 2
21/268		21/268	F 5 F 0 7 2
			J 5 F 1 1 0
21/336		H 0 1 S 3/00	A
29/786		H 0 1 L 29/78	6 2 7 G
審査請求 未請求 請求項の数15 O L (全 40 頁) 最終頁に続く			

(21) 出願番号 特願2002-338768(P2002-338768)

(22) 出願日 平成14年11月22日 (2002.11.22)

(31) 優先権主張番号 特願2001-365302(P2001-365302)

(32) 優先日 平成13年11月29日 (2001.11.29)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 棚田 好文

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 中島 和哉

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【課題】 CWレーザを用いて結晶化した半導体層を活性層に用いたT F Tによって、高速駆動、および高信頼性を特徴とした半導体装置の作製方法を提供する。

【解決手段】 CWレーザを用いて結晶化された半導体層は、照射されるレーザのエネルギー密度の幅方向の分布により、大結晶粒でなる半導体層と、微結晶粒でなる半導体層とが混在しており、前者は優れた電気的特性を示すが、後者は粒界における電荷移動の障害が大きく、電気的特性が悪いため、トランジスタの活性層として用いると不都合が生ずる。よってT F Tの活性層を全て大結晶粒でなる半導体層で形成出来るように回路を配置する。

1

【特許請求の範囲】

【請求項 1】基板上に非晶質半導体膜を形成し、
楕円状または矩形状に集光されたレーザ光を前記基板に
対して相対的に走査させつつ、前記非晶質半導体膜に照
射し、結晶質半導体膜を形成し、
前記結晶質半導体膜をエッチングし活性層を形成する半
導体装置の作製方法であって、
前記レーザ光の照射領域の幅は有効照射領域の幅 D と、
前記有効照射領域に接する両端の領域の幅を d との和で
あって、

隣接して走査されるレーザ光のオーバーラップを V と
し、

被照射対における照射領域において上端部の 1 点を原点
とし、前記原点より前記レーザ光の走査方向と垂直な方
向に向かう距離を L とすると、

前記活性層は、

$V = 0$ のとき、

$n(D + 2d) - d \leq L \leq n(D + 2d) + d$ 、かつ $0 \leq L$
(n は整数、 $0 \leq n$)

で示される距離 L の領域を除くように形成された前記結
晶質半導体膜によって形成されることを特徴とする半導
体装置の作製方法。

【請求項 2】基板上に非晶質半導体膜を形成し、
楕円状または矩形状に集光されたレーザ光を前記基板に
対して相対的に走査させつつ、前記非晶質半導体膜に照
射し、結晶質半導体膜を形成し、
前記結晶質半導体膜をエッチングし活性層を形成する半
導体装置の作製方法であって、
前記レーザ光の照射領域の幅は有効照射領域の幅 D と、
前記有効照射領域に接する両端の領域の幅を d との和で
あって、

隣接して走査されるレーザ光のオーバーラップを V と
し、

被照射対における照射領域において上端部の 1 点を原点
とし、前記原点より前記レーザ光の走査方向と垂直な方
向に向かう距離を L とすると、

前記活性層は、

$0 < V \leq d$ のとき、

$n(D + 2d) - d - 2(n - 1)V \leq L \leq n(D + 2d) +$
 $d - 2nV$ 、かつ $0 \leq L$ (n は整数、 $0 \leq n$)

で示される距離 L の領域を除くように形成された前記結
晶質半導体膜によって形成されることを特徴とする半導
体装置の作製方法。

【請求項 3】基板上に非晶質半導体膜を形成し、
楕円状または矩形状に集光されたレーザ光を前記基板に
対して相対的に走査させつつ、前記非晶質半導体膜に照
射し、結晶質半導体膜を形成し、
前記結晶質半導体膜をエッチングし活性層を形成する半
導体装置の作製方法であって、
前記レーザ光の照射領域の幅は有効照射領域の幅 D と、

2

前記有効照射領域に接する両端の領域の幅を d との和で
あって、

隣接して走査されるレーザ光のオーバーラップを V と
し、

被照射対における照射領域において上端部の 1 点を原点
とし、前記原点より前記レーザ光の走査方向と垂直な方
向に向かう距離を L とすると、

前記活性層は、

$d < V$ のとき、

10 $n(D + V) - V + d \leq L \leq n(D + V) + d$ 、かつ $0 \leq L$
(n は整数、 $0 \leq n$)

で示される距離 L の領域を除くように形成された前記結
晶質半導体膜によって形成されることを特徴とする半導
体装置の作製方法。

【請求項 4】基板上に非晶質半導体膜を形成し、
楕円状または矩形状に集光されたレーザ光を前記基板に
対して相対的に走査させつつ、前記非晶質半導体膜に照
射し、結晶質半導体膜を形成し、
前記結晶質半導体膜をエッチングし活性層を形成する半
導体装置の作製方法であって、

20 前記レーザ光の照射領域の幅は有効照射領域の幅 D と、
前記有効照射領域に接する両端の領域の幅を d との和で
あって、

隣接して走査されるレーザ光のオーバーラップを V と
し、

被照射対における照射領域において上端部の 1 点を原点
とし、前記原点より前記レーザ光の走査方向と垂直な方
向に向かう距離を L とすると、

前記活性層は、

30 $V < 0$ のとき、

$n(D + 2d) - d + (n - 1)F \leq L \leq n(D + 2d) + d$
 $+ nF$ 、かつ $0 \leq L$ (n は整数、 $0 \leq n$)

で示される距離 L の領域を除くように形成された前記結
晶質半導体膜によって形成されることを特徴とする半導
体装置の作製方法。

【請求項 5】基板上に非晶質半導体膜を形成し、
前記非晶質半導体膜を加熱し、第 1 の結晶質半導体膜を
形成し、

楕円状または矩形状に集光されたレーザ光を前記基板に
対して相対的に走査させつつ、前記第 1 の結晶質半導体
膜に照射し、第 2 の結晶質半導体膜を形成し、

前記第 2 の結晶質半導体膜をエッチングし活性層を形成
する半導体装置の作製方法であって、

前記レーザ光の照射領域の幅は有効照射領域の幅 D と、
前記有効照射領域に接する両端の領域の幅を d との和で
あって、

隣接して走査されるレーザ光のオーバーラップを V と
し、

被照射対における照射領域において上端部の 1 点を原点
とし、前記原点より前記レーザ光の走査方向と垂直な方
向に向かう距離を L とすると、

向に向かう距離を L とすると、

前記活性層は、

$V = 0$ のとき、

$n(D + 2d) - d \leq L \leq n(D + 2d) + d$ 、かつ $0 \leq L$

(n は整数、 $0 \leq n$)

で示される距離 L の領域を除くように形成された前記結晶質半導体膜によって形成されることを特徴とする半導体装置の作製方法。

【請求項 6】基板上に非晶質半導体膜を形成し、

前記非晶質半導体膜を加熱し、第 1 の結晶質半導体膜を形成し、

楕円状または矩形状に集光されたレーザ光を前記基板に対して相対的に走査させつつ、前記第 1 の結晶質半導体膜に照射し、第 2 の結晶質半導体膜を形成し、

前記第 2 の結晶質半導体膜をエッチングし活性層を形成する半導体装置の作製方法であって、

前記レーザ光の照射領域の幅は有効照射領域の幅 D と、前記有効照射領域に接する両端の領域の幅を d との和であって、

隣接して走査されるレーザ光のオーバーラップを V とし、

被照射対における照射領域において上端部の 1 点を原点とし、前記原点より前記レーザ光の走査方向と垂直な方向に向かう距離を L とすると、

前記活性層は、

$0 < V \leq d$ のとき、

$n(D + 2d) - d - 2(n - 1)V \leq L \leq n(D + 2d) + d - 2nV$ 、かつ $0 \leq L$ (n は整数、 $0 \leq n$)

で示される距離 L の領域を除くように形成された前記結晶質半導体膜によって形成されることを特徴とする半導体装置の作製方法。

【請求項 7】基板上に非晶質半導体膜を形成し、

前記非晶質半導体膜を加熱し、第 1 の結晶質半導体膜を形成し、

楕円状または矩形状に集光されたレーザ光を前記基板に対して相対的に走査させつつ、前記第 1 の結晶質半導体膜に照射し、第 2 の結晶質半導体膜を形成し、

前記第 2 の結晶質半導体膜をエッチングし活性層を形成する半導体装置の作製方法であって、

前記レーザ光の照射領域の幅は有効照射領域の幅 D と、前記有効照射領域に接する両端の領域の幅を d との和であって、

隣接して走査されるレーザ光のオーバーラップを V とし、

被照射対における照射領域において上端部の 1 点を原点とし、前記原点より前記レーザ光の走査方向と垂直な方向に向かう距離を L とすると、

前記活性層は、

$d < V$ のとき、

$n(D + V) - V + d \leq L \leq n(D + V) + d$ 、かつ $0 \leq L$

(n は整数、 $0 \leq n$)

で示される距離 L の領域を除くように形成された前記結晶質半導体膜によって形成されることを特徴とする半導体装置の作製方法。

【請求項 8】基板上に非晶質半導体膜を形成し、

前記非晶質半導体膜を加熱し、第 1 の結晶質半導体膜を形成し、

楕円状または矩形状に集光されたレーザ光を前記基板に対して相対的に走査させつつ、前記第 1 の結晶質半導体膜に照射し、第 2 の結晶質半導体膜を形成し、

前記第 2 の結晶質半導体膜をエッチングし活性層を形成する半導体装置の作製方法であって、

前記レーザ光の照射領域の幅は有効照射領域の幅 D と、前記有効照射領域に接する両端の領域の幅を d との和であって、

隣接して走査されるレーザ光のオーバーラップを V とし、

被照射対における照射領域において上端部の 1 点を原点とし、前記原点より前記レーザ光の走査方向と垂直な方向に向かう距離を L とすると、

前記活性層は、

$V < 0$ のとき、

$n(D + 2d) - d + (n - 1)V \leq L \leq n(D + 2d) + d + nV$ 、かつ $0 \leq L$ (n は整数、 $0 \leq n$)

で示される距離 L の領域を除くように形成された前記結晶質半導体膜によって形成されることを特徴とする半導体装置の作製方法。

【請求項 9】基板上に非晶質半導体膜を形成し、

前記非晶質半導体膜上に第 1 のアライメントマーカを形成し、

楕円状または矩形状に集光されたレーザ光を前記基板に対して相対的に走査させつつ、前記非晶質半導体膜に照射し、結晶質半導体膜を形成し、

前記結晶質半導体膜上に、前記第 1 のアライメントマーカと一致するように、第 2 のアライメントマーカが形成されたマスクを配置し、

前記結晶質半導体膜をエッチングして活性層を形成する半導体装置の作製方法であって、

前記レーザ光は前記第 1 のアライメントマーカを基準として決定される任意の点から照射を開始することを特徴とする半導体装置の作製方法。

【請求項 10】請求項 9 において、前記第 1 及び第 2 のアライメントマーカを形成する位置は、前記活性層を設ける位置と、レーザ光の走査のピッチとにより決定することを特徴とする半導体装置の作製方法。

【請求項 11】請求項 9 または請求項 10 において、前記第 1 及び第 2 のアライメントマーカは複数形成されることを特徴とする半導体装置の作製方法。

【請求項 12】請求項 1 乃至請求項 11 のいずれか 1 項において、

10

20

30

40

50

前記レーザ光は、連続発振の固体レーザ、気体レーザ、あるいは金属レーザから発振されたものであることを特徴とする半導体装置の作製方法。

【請求項 13】請求項 1 乃至請求項 11 のいずれか 1 項において、

前記レーザ光は、連続発振の YAG レーザ、YVO4 レーザ、YLF レーザ、YAlO₃ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti : サファイアレーザから選ばれた 1 種から発振されたものであることを特徴とする半導体装置の作製方法。

【請求項 14】請求項 1 乃至請求項 11 のいずれか 1 項において、

前記レーザ光は、連続発振のエキシマレーザ、Ar レーザ、Kr レーザ、CO₂ レーザから選ばれた 1 種から発振されたものであることを特徴とする半導体装置の作製方法。

【請求項 15】請求項 1 乃至請求項 11 のいずれか 1 項において、

前記レーザ光は、連続発振のヘリウムカドミウムレーザ、銅蒸気レーザ、金蒸気レーザから選ばれた 1 種から発振されたものであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、レーザ光の照射をその工程に含む半導体装置及びその作製方法に関する。なお、ここでいう半導体装置とは、液晶表示装置、発光装置等の電気光学装置および、当該電気光学装置を表示部と含む電子機器も含まれるものとする。

【0002】

【従来の技術】近年、絶縁体上、特にガラス基板上に形成された非晶質半導体膜を結晶化させ、結晶質半導体膜を得る技術が広く研究されている。この結晶化の方法としては、ファーネスアニール炉を用いた熱アニール法や、瞬間熱アニール法(RTA法)、またはレーザアニール法などが検討されている。結晶化に際してはこれらの方法のうち、いずれか 1 つまたは複数を組み合わせて行うことが可能である。

【0003】一方、半導体薄膜を形成して作製される薄膜トランジスタ(以下、TFTと表記)を用いたアクティブマトリクス型表示装置の普及が進んでいる。TFTを用いたアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万の画素を有し、各画素に配置されたTFTによって、各画素の電荷を制御することによって映像の表示を行っている。

【0004】さらに最近の技術として、画素を構成するTFTの他に、画素部の周辺領域にTFTを用いた駆動回路を同時形成する技術が発展してきている。結晶質半導体層は、非晶質半導体層に比べてその電界効果移動度ははるかに高く、このような回路に用いるTFTの活性

層(以下、単に活性層と表記し、活性層はソース領域、ドレイン領域及びチャネル形成領域を含む)の形成に適したものとなっている。

【0005】通常、ファーネスアニール炉で非晶質半導体層を結晶化させるには、600℃以上で10時間以上の熱処理を必要としていた。そのため、用いることの出来る基板は、その熱処理に耐えうる石英基板に限られていたが、石英基板は高価であり、また大面積化が困難であった。

10 【0006】大面積の画面を有する表示装置の作製はもちろんであるが、製品の生産効率を上げるには、基板の大面積化し、大量生産化することが不可欠となってくる。そのため近年では、一边が1[m]を超えるサイズの基板の使用も考慮されるようになってきている。

【0007】一方、特開平7-183540号公報に開示されている、金属元素を用いる熱結晶化法は、従来問題とされてきた処理温度を低温化することを可能としている。その方法は、非晶質半導体層に、ニッケル、パラジウム、または鉛等の元素を微量に添加し、その後550℃にて4時間の熱処理によって結晶質半導体層の形成を可能としている。

【0008】また、レーザアニール法は、レーザの焦点を半導体層(半導体膜)に合わせることによって、基板温度をあまり上昇させることなく、半導体層にのみ高いエネルギーを与えることが出来るため、歪みの低いガラス基板には勿論、プラスチック基板等にも用いることが可能な点で注目されている技術である。

30 【0009】レーザアニール法の一例としては、エキシマレーザ等に代表されるパルスレーザ光を、照射面において、数[cm]角の四角いスポットや、長さ100[mm]以上の線状となるように光学系にて整形し、レーザ光の照射位置を被照射体に対し相対的に移動させてアニールを行う方法である。ここでいう「線状」とは、厳密な意味で「線」ではなく、アスペクト比の大きい長方形もしくは長楕円形をいう。例えば、アスペクト比が2以上(好ましくは10~100)のものを指すが、照射面における形状が矩形上であるレーザ光も含まれる。なお、レーザ光を線状とするのは、被照射体に対して、照射面において十分なアニールを行うためのエネルギー密度を確保

40 するためであり、矩形状や面状であっても、被照射体に対して十分なアニールが行えるのであれば、レーザ光の形状は問わない(例えば、特許文献1参照)。

【0010】

【特許文献1】特開平8-195357号公報

50 【0011】図8にその様子を示す。基板801上に非晶質半導体層が成膜された後、線状レーザ803を矢印の方向に走査して結晶化を行う。このとき、A-A'で示される点線部の断面図を、図8(B)に示す。基板801上には、下地膜として、絶縁層811が形成され、その上に非晶質半導体層813が形成される。なお、絶縁

層 811 に関しては、図 8 においては単層として図示したが、特に無くとも良いし、2 層以上の積層膜としても良い。

【0012】その後、線状レーザ 803 が、基板上を走査しながら照射される。このとき、線状レーザが照射されている領域 812 においては、非晶質半導体層が熔融状態となり、照射領域が通過した後、再結晶化する。このようにして、結晶質半導体層 815 が形成される。

【0013】このようにして作製される結晶性半導体層は、無数の結晶粒が集合して形成されており、その結晶粒の位置と大きさはランダムなものである。ガラス基板上に作製される TFT は、素子ごとに分離するため、前記結晶性半導体層をパターンニングし、島状に分離して形成される。その場合、結晶粒の位置や大きさを指定して形成することは出来なかった。結晶粒内と比較して、結晶粒の界面(結晶粒界)は、非晶質構造や結晶欠陥等に起因する再結合中心や捕獲中心が無数に存在している。この捕獲中心にキャリアがトラップされると、結晶粒界のポテンシャルが上昇し、キャリアに対して障壁となるため、キャリアの電流輸送特性を低下させることが知られている。チャンネル形成領域の半導体層の結晶性は、TFT の電気的特性に重大な影響を及ぼすが、結晶粒界の影響を排除して、単結晶の半導体層で前記チャンネル形成領域を形成することはほとんど不可能であった。

【0014】

【発明が解決しようとする課題】CW(Continuous Wave: 連続発振)レーザを一方方向に走査させながら半導体層に照射することで、操作方向に繋がって結晶が成長し、その方向に長く伸びた単結晶を形成する技術がある。この方法を用いれば、少なくとも TFT のチャンネル方向には結晶粒界のほとんどないものが得られると考えられている。しかしながら、良好な結晶性を得るためには、レーザが照射された領域の非晶質半導体層を完全熔融させる必要があるため、レーザの照射領域を数 100 [μm] 程度の幅の矩形状、あるいは楕円状に収束させてエネルギー密度を確保し、図 1 (A) に示すように、被照射体表面を走査することによって、全面を結晶化している。その結果、図 1 (B) に示すように、結晶質半導体層は、走査方向に長い結晶粒を形成しながら成長していく。

【0015】ここで、レーザの照射幅方向のエネルギー密度に注目する。ある領域にスポット状にレーザ光を集光させる場合、図 1 (C) に一例として示すように、照射領域中心部から端部にかけてエネルギー密度に分布が生ずる。このエネルギー密度の分布は、レーザの発振モードによって異なるが、エネルギー密度の低い領域では、半導体層に対して十分に熔融するだけのエネルギーを与えることが出来ない。この領域の半導体層は、結晶粒が大きく成長することが出来ず、微結晶化した領域となる。したがって、CWレーザによる処理後の半導体層においては、図 1 (B) のように、一走査領域 (CWレーザ

が 1 行走査したときの照射領域) ごとに、十分に大きな結晶粒が成長した結晶質半導体層 A112 と、微結晶化した結晶質半導体層 B113 とが存在する。

【0016】半導体層 A においては、先に述べたとおり、良好な電気的特性が得られる反面、半導体層 B においては、無数の結晶粒界が存在するために、満足な電気的特性を得ることが出来ない。

【0017】このような半導体層をパターンニングして、TFT を作製した場合、そのチャンネル形成領域に半導体層 B が含まれるものと含まれないものとは、電気的特性に大きな差が生ずるため、いくら良好な電気的特性を有する素子があっても、満足に動作する半導体装置を作製することが困難である。

【0018】そこで本発明においては、CWレーザを用いて結晶化を行った半導体層のうち、その電気的特性に優れた領域のみを効率的に利用して TFT を形成し、高速動作、高信頼性を有する半導体装置を作製する方法を提供することを課題とする。

【0019】

【課題を解決するための手段】前述のように、CWレーザ照射は、基板上を順次平行に走査しながら結晶化を行うため、結晶化された結晶性半導体層は、大結晶粒でなる結晶性半導体層 A と、微結晶粒でなる結晶化半導体層 B とが走査方向に平行に並んだ状態となる。

【0020】一方、TFT を用いて半導体装置を作製する際、駆動回路が占有する領域においては、TFT を構成する半導体層が配置されている領域の他に、信号線、電源線が配置されている領域がある。この領域においては、半導体層はエッチングによって除去される。よって、交互に並んだ結晶性半導体層 A、結晶性半導体層 B のうち、結晶性半導体層 A でなる領域のみを選択的に用いて TFT を配置することにより、結晶性半導体層 B でなる領域は全てエッチングにより除去され、TFT の形成領域として用いなくすることが出来る。

【0021】すなわち本発明は、基板上に非晶質半導体膜を形成し、楕円状または矩形状に集光されたレーザ光を前記基板に対して相対的に走査させつつ、前記非晶質半導体膜に照射し、結晶質半導体膜を形成し、前記結晶質半導体膜をエッチングし活性層を形成する半導体装置の作製方法であって、前記レーザ光の照射領域の幅は有効照射領域の幅 D と、前記有効照射領域に接する両端の領域の幅を d との和であって、隣接して走査されるレーザ光のオーバーラップを V とし、被照射対における照射領域において上端部の 1 点を原点とし、前記原点より前記レーザ光の走査方向と垂直な方向に向かう距離を L とすると、前記活性層は、

(1) $V=0$ のとき、

$$n(D+2d)-d \leq L \leq n(D+2d)+d, \text{ かつ } 0 \leq L$$

(n は整数、 $0 \leq n$)

で示される距離 L の領域を除くように形成された前記結

品質半導体膜によって形成され、

(2) $0 < V \leq d$ のとき、

$$n(D+2d)-d-2(n-1)V \leq L \leq n(D+2d)+d-2nV, \text{ かつ } 0 \leq L \quad (n \text{ は整数, } 0 \leq n)$$

で示される距離 L の領域を除くように形成された前記結晶質半導体膜によって形成され、

(3) $d < V$ のとき、

$$n(D+V)-V+d \leq L \leq n(D+V)+d, \text{ かつ } 0 \leq L \quad (n \text{ は整数, } 0 \leq n)$$

で示される距離 L の領域を除くように形成された前記結晶質半導体膜によって形成され、

(4) $V < 0$ のとき、

$$n(D+2d)-d+(n-1)F \leq L \leq n(D+2d)+d+nF, \text{ かつ } 0 \leq L \quad (n \text{ は整数, } 0 \leq n)$$

で示される距離 L の領域を除くように形成された前記結晶質半導体膜によって形成されることを特徴としている。

【0022】また本発明は、基板上に非晶質半導体膜を形成し、前記非晶質半導体膜を加熱し、第1の結晶質半導体膜を形成し、楕円状または矩形状に集光されたレーザ光を前記基板に対して相対的に走査させつつ、前記第1の結晶質半導体膜に照射し、第2の結晶質半導体膜を形成し、前記第2の結晶質半導体膜をエッチングし活性層を形成する半導体装置の作製方法であって、前記レーザ光の照射領域の幅は有効照射領域の幅 D と、前記有効照射領域に接する両端の領域の幅を d との和であって、隣接して走査されるレーザ光のオーバーラップを V とし、被照射対における照射領域において上端部の1点を原点とし、前記原点より前記レーザ光の走査方向と垂直な方向に向かう距離を L とすると、前記活性層は、

(1) $V = 0$ のとき、

$$n(D+2d)-d \leq L \leq n(D+2d)+d, \text{ かつ } 0 \leq L \quad (n \text{ は整数, } 0 \leq n)$$

で示される距離 L の領域を除くように形成された前記結晶質半導体膜によって形成され、

(2) $0 < V \leq d$ のとき、

$$n(D+2d)-d-2(n-1)V \leq L \leq n(D+2d)+d-2nV, \text{ かつ } 0 \leq L \quad (n \text{ は整数, } 0 \leq n)$$

で示される距離 L の領域を除くように形成された前記結晶質半導体膜によって形成され、

(3) $d < V$ のとき、

$$n(D+V)-V+d \leq L \leq n(D+V)+d, \text{ かつ } 0 \leq L \quad (n \text{ は整数, } 0 \leq n)$$

で示される距離 L の領域を除くように形成された前記結晶質半導体膜によって形成され、

(4) $V < 0$ のとき、

$$n(D+2d)-d+(n-1)F \leq L \leq n(D+2d)+d+nF, \text{ かつ } 0 \leq L \quad (n \text{ は整数, } 0 \leq n)$$

で示される距離 L の領域を除くように形成された前記結晶質半導体膜によって形成されることを特徴としてい

る。

【0023】このとき、前記レーザ光は、連続発振の固体レーザ、気体レーザ、あるいは金属レーザから選ばれた1種から発振されたものを用いることを特徴としており、前記固体レーザとしては、連続発振のYAGレーザ、YVO4レーザ、YLFレーザ、YAlO3レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti:サファイアレーザ等を用いれば良い。前記気体レーザとしては、連続発振のエキシマレーザ、Arレーザ、Krレーザ、CO2レーザ等を用いれば良い。前記金属レーザとしては、連続発振のヘリウムカドミウムレーザ、銅蒸気レーザ、金蒸気レーザ等を用いれば良い。

【0024】

【発明の実施の形態】図2を参照する。図2(A)は、表示装置の画素部を駆動するための駆動回路の一部を回路図にて示したものである。D-フリップフロップ(D-FF)を複数段用いてなるシフトレジスタ、NAND、インバータ(INV)等により構成され、クロック信号(CK、CKb)、スタートパルス(In)に従って、順次パルスを出力する。

【0025】図2(B)は、図2(A)の回路図に基づき、実際に素子、配線をレイアウトした一例を示している。点線枠で囲まれた部分は、それぞれ図2(A)の回路図に対応している。図2(B)に示す通り、クロック信号が入力される信号線(CK、CKb)、およびHレベル、Lレベルのそれぞれの電位を与えるための電源線(VDD、VSS)等が、横方向に平行に配置されている。特に、電源線については、それぞれのTFTに電源を供給するため、複数の段にわたって配置されており、配線抵抗によって電圧降下等を生じないように、線幅を大きくとっているのが特徴である。

【0026】ここで、図2(B)に示した、回路を構成する領域において、実際に半導体層が占有している領域のみを示したものを図2(C)に示す。CWレーザの照射幅は、レーザ照射範囲1で示される幅であるとする、202で示される範囲の走査が終了した後は、203で示される範囲が走査される。図2(C)に示すように、島状の半導体層201を配置すると、CWレーザの照射端部の領域は、島状の半導体層が存在しない領域とすることが出来る。このとき、CWレーザの照射端部が当たる領域は、すなわち、後に配線が引き回される領域である。

【0027】すなわち、CWレーザの有効照射領域の幅はある値に決定されているから、回路を構成するTFTが、有効照射領域の幅に含まれるように配置すれば良い。

【0028】CWレーザの有効照射領域(半導体層Aとして結晶化する領域)の幅を $D(>0)$ 、有効照射領域の両端部(半導体層Bとして結晶化する領域)の幅をそれぞれ $d(\geq 0)$ とすると、CWレーザの全照射領域の幅は D

+2dで示される(図9(A))。また、CWレーザの照射領域が重複する(隣接するレーザ光の重なり)部分の幅をオーバーラップとし、Vとする(図9(B))。ここで、オーバーラップが $V < 0$ となる場合、すなわちCWレーザの照射領域が重複せず、互いに隙間を空けて照射される場合、この隙間の幅をオフセットとし、 $F (= -V, F \geq 0)$ とする(図9(C))。よってオーバーラップは、 $V \geq 0$ とする。非晶質半導体層が成膜され、結晶化を行う基板において、基板上における、あるCWレーザ照射領域の端部(X軸上の端部)上の、任意の1点を原点とし(図9参照)、CWレーザの基板上での走査方向と垂直をなす方向(Y軸方向)への距離をLとする。

【0029】(1)オーバーラップ量Vが0のとき、
 $n(D+2d)-d \leq L \leq n(D+2d)+d$ 、かつ $0 \leq L$
 (nは整数、 $0 \leq n$)

で示される距離にある点の集合でなる領域には、活性層を形成しないようにする。

【0030】(2)オーバーラップ量Vが、 $0 < V \leq d$ のとき、

$n(D+2d)-d-2(n-1)V \leq L \leq n(D+2d)+d-2nV$ 、かつ $0 \leq L$ (nは整数、 $0 \leq n$)

で示される距離にある点の集合でなる領域には、活性層を形成しないようにする。

【0031】(3)オーバーラップ量Vが、 $d < V$ のとき、

$n(D+V)-V+d \leq L \leq n(D+V)+d$ 、かつ $0 \leq L$
 (nは整数、 $0 \leq n$)

で示される距離にある点の集合でなる領域には、活性層を形成しないようにする。

【0032】(4)オーバーラップ量Vが、 $V < 0$ 、すなわちオフセット量Fが、 $0 < F$ のとき、

$n(D+2d)-d+(n-1)F \leq L \leq n(D+2d)+d+nF$ 、かつ $0 \leq L$ (nは整数、 $0 \leq n$)

で示される距離にある点の集合でなる領域には、活性層を形成しないようにする。

【0033】ここで、CWレーザのオーバーラップと結晶化の状態について説明する。CWレーザの照射幅にオーバーラップを与える場合には、複数回にわたってCWレーザ照射を受ける領域が現れる。このような領域においては、最初のレーザ照射によって半導体層が溶融状態となり、再び固化する際に結晶化する。さらに次の照射によって再び溶融→結晶化を繰り返すことになる。すなわち、複数回のCWレーザ照射を受けた領域においては、最後に照射されたCWレーザのエネルギー強度が支配的となりやすい。つまり、前述の(1)~(4)において、特に(3)の場合、図9(D)に示すように、最初のCWレーザ照射によって、半導体層Aとして結晶化した部分が、2度目のCWレーザ照射によって再び溶融し、今度は半導体層Bとして結晶化することになる。したがって、良好な電界効果移動度を有する半導体層Aの幅が

より狭くなる。よって、CWレーザのオーバーラップは、前述の条件2のように、 $0 < V \leq D$ とすると、基板上における半導体層Aの割合をより大きく($V=D$ のとき最大)することが出来る。

【0034】設計面においては、液晶表示装置や、EL表示装置等の半導体装置を例にとった場合、その仕様は画面サイズおよび画素数等が最初に決定される。よって、まず基準とするのは画素ピッチである。ここで画素ピッチが仮に $150[\mu\text{m}]$ ピッチであるとするとき、CWレーザの送りピッチ(ここで、送りピッチとは、基板上を一度走査し、次に走査する時に、走査方向と垂直に照射面を移動する量であり、図9(A)のような場合、すなわちオーバーラップ $V=0$ のとき、送りピッチは $D+2d$ であり、また、オーバーラップ $V=d$ のとき、送りピッチは $D+d$ である)を $150[\mu\text{m}]$ の整数倍、例えば $300[\mu\text{m}]$ 、 $450[\mu\text{m}]$ などとする。そして駆動回路側では、電源線もしくは信号線の間隔を前述の数値に合わせて配置するようにレイアウトする。例えば、図2(C)においては、レーザ照射範囲が $300[\mu\text{m}]$ 、もしくは $450[\mu\text{m}]$ などとするが良い。

【0035】実際の工程においてはCWレーザの照射ピッチと、活性層パターニング用のマスクの位置合わせが必要となってくる。そこで、基板上に非晶質半導体層を形成(図24(A))した後、CWレーザ照射前にアライメントマーカ2401を形成しておく(図24(B))。続いて、アライメントマーカ2401を原点とするようにCWレーザ照射を行う(図24(C))。その後、活性層パターニング用のマスク2402を、前記アライメントマーカ2401と、マスク2402上のアライメントマーカ2403とを基準に合わせ、活性層のパターニングを行う(図24(D))。この方法により、CWレーザの照射ピッチと、活性層の形成位置の正確な位置合わせが可能となる。

【0036】これらの事項を踏まえて回路のレイアウトを決定することにより、電気的特性の極めて良好なTFTを用いて半導体装置を構成することが出来る。

【0037】

【実施例】以下に、本発明の実施例について記載する。

【0038】[実施例1]本実施例においては、表示装置を例として、基板上の回路配置とCWレーザ照射方向等について数例を挙げて説明する。

【0039】図4は、アナログ映像信号を入力して映像を表示する表示装置の駆動回路図の一例を示している。図4(A)はソース信号線駆動回路であり、D-フリップフロップ401を複数段用いてなるシフトレジスタ、NAND402、インバータ403、レベルシフト404、サンプリングスイッチ406、映像信号が入力されるビデオ信号線405等からなる。クロック信号(S-CK、S-CKb)とスタートパルス(S-SP)とに従

って、シフトレジスタより、順次サンプリングパルスが出力され、振幅変換等を受けた後、サンプリングスイッチ406においては、前記サンプリングパルスの入力されるタイミングで、それぞれ映像信号をサンプリングし、ソース信号線(S₁~S_m)へと出力する。

【0040】図4(B)はゲート信号線駆動回路であり、ソース信号線駆動回路と概ね同様である。D-フリップフロップ401を複数段用いてなるシフトレジスタ、NAND402、インバータ403、レベルシフト404等からなる。クロック信号(G-CK、G-CKb)とスタートパルス(G-SP)とに従って、シフトレジスタより、順次パルスが出力され、振幅変換等を受けた後、各ゲート信号線(G₁~G_n)を順次選択していく。

【0041】表示装置の構成としては、図3(A)に示すように、基板300の中央部に画素部301を有し、画素部301の上側もしくは下側に、ソース信号線駆動回路302を有し、画素部301の左右いずれかもしくは両側に、ゲート信号線駆動回路303を有する構成がある。各駆動回路を動作させるための信号および電源は、基板外部よりフレキシブルプリント基板(Flexible Print Circuit: FPC)304を介して入力される。

【0042】図3(A)に示すように、ソース信号線駆動回路302は、画素の列方向に延びて配置されており、ゲート信号線駆動回路303は、画素の行方向に延びて配置されているため、実施形態に示したようにCWレーザ照射を行うと、図3(B)に示すように、ソース信号線駆動回路の配置方向に方向を合わせた場合、ゲート信号線駆動回路の配置方向に、CWレーザの照射方向が合致しないことになる。しかし、一般的に高速駆動が要求されるソース信号線駆動回路に対し、ゲート信号線駆動回路は、その駆動周波数はおよそ数百分の1で良く、仮にゲート信号線駆動回路を構成するTFTの活性層に半導体層Bでなる部分が含まれていたとしても、回路の動作に関しては問題ないといえる。

【0043】ここで、表示装置を構成する全てのTFTを、半導体層A上に作りこみたい場合には、図3(C)に示すように、走査方向を途中で切り替える方法を用いても良い。つまり、第1に、ソース信号線駆動回路に合わせた送りピッチにより、第1のCWレーザ走査を行い、続いて、基板を固定しているステージを90°回転させる等によって、レーザの走査方向を変更し、今度はゲート信号線駆動回路と画素部とに合わせた送りピッチにより、第2のCWレーザ照射を行っても良い。

【0044】また、図3(D)に示すように、特願2001-241463号に記載の技術によって、ソース信号線駆動回路302と、ゲート信号線駆動回路303とを、画素部の1辺側、もしくは対向する2辺の側に平行配置することにより、図3(E)に示すように、1度のCWレーザ照射によって基板全面を結晶化し、かつ画素部、駆動回路とも、半導体層Aを活性層に用いたTFT

によって構成することが可能となる。

【0045】本実施例にて示した方法はあくまでも一例であり、例えば高速駆動が要求される駆動回路部のみをCWレーザによって結晶化し、画素部等、比較的高速駆動が必要でない部分においては、一般的な結晶化方法を用いて作製しても良い。なお、本実施例は他の実施例と組み合わせて実施することが可能である。

【0046】[実施例2] CWレーザによる結晶化が行われた後の基板上の半導体層の状態を模式的に表したものを図5(A)に示す。前述のとおり、十分なエネルギー密度が得られない照射端部においては、小径の結晶、もしくは微結晶化した半導体層Bでなる結晶化半導体層となり、十分なエネルギー密度によって溶融、結晶化された部分においては、CWレーザの照射方向と平行に長く伸びた大結晶粒が集まった半導体層Aでなる結晶化半導体層となっている。

【0047】ここで、CWレーザの照射方向、すなわち半導体層Aにおける結晶粒の長径方向には、良好な結晶状態を有しているが、前記CWレーザの照射方向と垂直な方向、すなわち半導体層Aにおける結晶粒の短径方向には、多くの結晶粒界が存在している。各結晶粒は、単体結晶内では均一な配向となっているが、異なる結晶粒同士においては、結晶粒界を境として、配向が異なっている。そのため、電気的特性には異方性が生ずる。

【0048】つまり、結晶粒の長径方向に平行な方向、もしくはそれに準ずる方向には、粒界が少ないために電荷の移動を阻害するものが少ない。よって優れた電界効果移動度を呈する。これに対し、結晶粒の長径方向に垂直な方向、もしくはそれに準ずる方向には、多くの粒界が存在し、かつ互いの配向状態が異なっているために、前者に比較すると電荷の移動が阻害されやすい。

【0049】よって、TFTを配置する際には、図5(B)に示すように、チャネル長方向と結晶粒の長径方向とが平行、もしくはそれに準ずる方向となるように配置した方が、図5(C)に示すように、チャネル長方向と結晶粒の長径方向とが垂直、もしくはそれに準ずる方向となるように配置した場合よりも優れた電気的特性を得やすいといえる。なお、本実施例は他の実施例と組み合わせて実施することが可能であり、図2(B)に示したレイアウト例では、実際にこの点を考慮してTFTが配置されている。

【0050】[実施例3] 本実施例においては、CWレーザを用いたレーザ結晶化工程の一例について述べる。

【0051】本方法に適当なCWレーザとしては、波長が550[nm]以下で出力安定性の著しく高いものが望ましい。例えば、YVO₄レーザの第2高調波や、YAGレーザの第2高調波、YLFレーザの第2高調波、ガラスレーザの第2高調波、YAlO₃レーザの第2高調波、Arレーザ等が該当する。あるいは、前記レーザのさらなる高次高調波を用いても良い。あるいは、ルビー

レーザ、アレキサンドライドレーザ、Ti:サファイアレーザ、連続発振のエキシマレーザ、Krレーザ、CO₂レーザ、連続発振のヘリウムカドミウムレーザ、銅蒸気レーザ、金蒸気レーザ等のレーザを使用しても良い。さらに、これらのレーザを複数、あるいは複数種用いることも可能である。

【0052】図7は、CWレーザ結晶化を行うための装置を模式的に表したものであり、レーザ発振器701、ミラー702、凸レンズ703、X-Yステージ704等からなる。ここで用いるレーザは、出力10[W]で連続発振のYVO₄レーザである。レーザ発振器701には、非線形光学素子が内蔵されており、射出口より第2高調波が射出される。

【0053】レーザ発振器701から射出されたレーザビームは、図7中、Aで示すように円形状をしている。前記レーザビームは水平方向に射出され、ミラー702によって鉛直方向から20°前後の方向に偏向される。その後、水平方向に配置された凸レンズ703により集光される。X-Yステージ704に基板705を固定し、基板上に形成された半導体層上の照射面を、凸レンズ703の焦点に合わせる。このとき、照射面が凸レンズ703と平行になるように配置する。すなわち基板705は水平配置される。凸レンズ703には、20°前後の角度でレーザビームが入射するため、凸レンズの非点収差によって、照射面でのレーザビーム光の形状は楕円形状となる。照射面におけるビーム形状は、凸レンズ703への入射角度によって決定するため、凸レンズに対し、鉛直方向により大きな角度を持ってレーザビームを入射させることによって、さらにアスペクト比の大きい楕円とすることが出来るが、反面、焦点深度が浅くなるために均一な照射が困難となることから、偏向角度は20°前後が妥当であるとしている。

【0054】基板全面の半導体層を結晶化するためには、適当な照射ピッチで楕円ビームをその長径方向にずらしながら基板上を走査させることを繰り返す必要がある。この動作は、レーザ発振器701、ミラー702、凸レンズ703からなるレーザ出力部分を固定し、X-Yステージ704を用いて、基板上を楕円ビームが走査するように基板を移動させて行う。照射対象である基板のサイズが、図7においてX方向600[mm]、Y方向720[mm]であるとし、楕円ビームの長軸長さが200[μm]であるとき、図7に示す方向で走査すると、3000回(1500往復)の走査によって、基板全面にレーザ照射を行うことが出来る。

【0055】また、レーザ発振器を複数台用い、楕円ビームを図23に示すように長軸方向に複数並べて平行に走査することにより、走査回数を減らし、処理時間を短縮することも可能である。こうすることにより、単体レーザ光の両端部における、エネルギー密度の低い部分が隣接間で互いに重なり合い、エネルギー密度を高くする

ことが出来る。よって、有効照射領域を広く、かつ1回の照射領域における有効照射領域の割合を大きくすることが出来、回路レイアウトの際の制約をより小さくすることも出来る。

【0056】なお、本実施例は他の実施例と組み合わせて実施することが可能である。

【0057】[実施例4]本実施例においては、実施例3とは異なる光学系を用いてレーザビームの偏光を行う例について、図6に沿って説明する。

10 【0058】レーザ発振器601から射出されたレーザビームは、図6中、Aで示すように円形状をしている。前記レーザビームは水平方向に射出され、ミラー602によって鉛直方向に偏向される。その後、第1のシリンダリカルレンズ603によってX方向に集光される。このときのビーム形状は、図6中、Bで示すように、円形状がX方向に集光されて、Y方向を長軸とする楕円形状となる。続いて、第2のシリンダリカルレンズ604によってY方向に集光される。このときのビーム形状は、図6中、Cで示すように、さらにY方向に集光されて、X方向を長軸とする楕円形状となる。このような光学系を用いると、実施例3で示したよりもさらにアスペクト比の大きい楕円形状のビームを得ることが出来る。その後、X-Yステージ605に固定された基板606に照射される。基板上のレーザビームの走査については、実施例3と同様にして行えばよい。

【0059】また、レーザ発振器を複数台用い、楕円ビームを図23に示すように長軸方向に複数並べて平行に走査することにより、走査回数を減らし、処理時間を短縮することも可能である。こうすることにより、単体レーザ光の両端部における、エネルギー密度の低い部分が隣接間で互いに重なり合い、エネルギー密度を高めることが出来る。よって、有効照射領域を広くすることが出来、より回路レイアウトに制約を与えないようにすることも出来る。

【0060】なお、本実施例は他の実施例と組み合わせて実施することが可能である。

【0061】[実施例5]本実施例においては、半導体層の形成から結晶化を行うまでの手法の一例について説明する。

40 【0062】ガラス基板上に下地膜として、プラズマCVD法により酸化窒化珪素膜(組成比: Si=32[%]、O=59[%]、N=7[%]、H=2[%])を400[nm]の厚さで形成した。続いて、前記下地膜上に半導体層として、プラズマCVD法により非晶質の珪素膜を150[nm]の厚さで形成した。その後、500℃、3時間の熱処理を行って、半導体層が含有している水素を放出させた後、レーザアニール法により半導体層の結晶化を行った。

50 【0063】レーザアニール法に用いるレーザとしては、連続発振のYVO₄レーザの第2高調波(波長532

[nm])を用いた。ここで、レーザビームの半導体層への照射方法は、実施例 3 もしくは実施例 4 に従って行えば良い。

【0064】このようにして得られた結晶性半導体層にセコエッチングを行って、走査電子顕微鏡(Scanning Electron Microscope: SEM)により 1 万倍にて表面を観察した結果を図 10 に示す。なお、セコエッチングにおけるセコ液は、HF:H₂O=2:1 に添加剤として K₂Cr₂O₇ を用いて作製されたものである。図 10 において、レーザビームの基板に対する走査方向は X 軸方向であり、結晶粒の長軸は前記走査方向に平行もしくはそれに準ずる方向をなしているのが確認できる。つまり、レーザビームの走査方向に対して延在するように結晶成長が進行する。

【0065】このように、本実施例に示した手法を用いて結晶化を行った半導体層には、大粒径の結晶粒が形成される。そのため、前記半導体層を活性層として用いて作製される TFT は、そのチャネル形成領域において、結晶粒界の数が少なくなる。また、個々の結晶粒は実質的に単結晶とみなせる良好な結晶性を有することから、単結晶半導体を用いて作製されたトランジスタと同等、もしくはそれに準ずる電界効果移動度を得ることも可能である。

【0066】さらに、実施例 2 にて説明したとおり、電荷の移動方向、つまりドレイン電流の流れる方向と、結晶粒の延在する方向とを平行もしくはそれに準ずる方向となるように配置すれば、結晶粒界による電荷移動の阻害を極めて少なくすることが出来る。そのため、トランジスタごとの ON 電流、OFF リーク電流、しきい値、S 値、電界効果移動度等のばらつきを抑えることも可能であり、またそれらの電気的特性も著しく向上する。

【0067】なお、本実施例は他の実施例と組み合わせて実施することが可能である。

【0068】[実施例 6] 本実施例においては、半導体層の形成から結晶化を行うまでの手法の一例であって、実施例 5 とは異なる方法について説明する。

【0069】まず、実施例 5 に従って、非晶質珪素膜でなる半導体層を形成する。その後、特開平 7-183540 号公報に開示された方法を利用し、前記半導体層上にスピコート法にて酢酸ニッケル溶液(重量換算濃度 5 [ppm]、10 [ml])を塗布し、500℃の窒素雰囲気下で 1 時間、550℃の窒素雰囲気下で 12 時間の熱処理を行った。これにより、半導体層においてはニッケルを触媒として結晶成長し、第 1 の結晶質半導体層が得られる。その後、レーザアニール法により、第 1 の結晶質半導体層の結晶性を向上した、第 2 の結晶性半導体層を得た。

【0070】レーザアニール法に用いるレーザとしては、連続発振の YVO₄ レーザの第 2 高調波(波長 532 [nm])を用いた。ここで、レーザビームの半導体層への

照射方法は、実施例 3 もしくは実施例 4 に従って行えば良い。

【0071】このようにして得られた第 2 の結晶性半導体層にセコエッチングを行って、SEM により 1 万倍にて表面を観察した結果を図 11 に示す。図 11 に示す半導体層は、図中、X 軸方向にレーザビームを基板に対して走査して結晶化して得られたものであり、走査方向に対して延在するように結晶が成長しているのが確認できる。

10 【0072】また、本実施例に示した方法によって得られた半導体層の、ラマン散乱分光の結果を図 12 に太線で示す(図 12 中、本実施例にて得られた半導体層は、Improved CG Silicon と表記)。比較のため、単結晶シリコン(図 12 中、Ref. (100) Si Wafer と表記)のラマン散乱分光の結果を細線で示す。

20 【0073】本実施例に示した方法によって得られた半導体層のラマンシフトは、517、3 [cm⁻¹] のピークを有し、半値幅は 4.96 [cm⁻¹] である。一方、単結晶シリコンのラマンシフトは、520、7 [cm⁻¹] のピークを有し、半値幅は 4.44 [cm⁻¹] である。パルス発振のエキシマレーザを用いて結晶化を行った場合の半導体層のラマンシフトは、516、3 [cm⁻¹] のピークを有し、半値幅は 6.16 [cm⁻¹] である。

【0074】図 12 に示す結果により、本実施例に示した方法によって得られた半導体層の結晶性が、パルス発振のエキシマレーザを用いて結晶化を行った半導体層の結晶性と比べて、より単結晶シリコンに近いことがわかる。

30 【0075】なお、本実施例は他の実施例と組み合わせて実施することが可能である。

【0076】[実施例 7] 本実施例においては、実施例 5 に示した方法によって結晶化した半導体層を活性層に用いて TFT を作製した例について、図 15 に沿って説明する。

【0077】基板 1501 としては、石英基板、シリコン基板、金属基板又はステンレス基板の表面に絶縁膜を形成したものをを用いる。また本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いても良い。本実施例ではバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等のガラスからなる基板を使用した。

40 【0078】まず、基板 1501 上に下地膜 1502 として、プラズマ CVD 法により窒化酸化珪素膜(組成比: Si=32 [%]、O=27 [%]、N=24 [%]、H=17 [%])を 50 [nm] と、酸化窒化珪素膜(組成比: Si=32 [%]、O=59 [%]、N=7 [%]、H=2 [%])を 100 [nm] 積層した。次いで、下地膜 1502 上に、プラズマ CVD 法によって、非晶質半導体層 1503 を 150 [nm] の厚さで形成した。そして 500℃、3 時間の熱処理を行い、半導体層が含有する水素を放出させた(図 15 (A))。

【0079】その後、連続発振のYVO₄レーザの第2高調波(波長532[nm]、5.5[W])を用い、実施例3もしくは実施例4に示した方法によって非晶質半導体層1503上を走査、全面に照射して結晶化を行い、結晶質半導体層1505を得た(図15(B))。

【0080】そして、TFTのしきい値電圧を制御するために、第1のドーピング処理を行った。材料ガスとして、ジボラン(B₂H₆)を用い、ガス流量30[scm]、電流密度0.05[μA]、加速電圧60[keV]、ドーズ量1×10¹⁴[atoms/cm²]として行った(図15(C))。

【0081】続いて、結晶質半導体層1505を所望の形状にパターンニングし、島状の半導体層(以後、単に半導体層と表記する)1506、1507を得た後、ゲート絶縁膜1508としてプラズマCVD法により膜厚115[nm]の酸化窒化珪素膜を形成した。次いで、ゲート絶縁膜1508上に、導電層として膜厚30[nm]のTa₂N膜1509と、膜厚370[nm]のW膜1510とを積層形成した(図15(D))。

【0082】次いで、フォトリソグラフィ法を用いてレジストマスク(図示せず)を形成し、W膜、Ta₂N膜、およびゲート絶縁膜をエッチングする。これにより、レジストで覆われた部分はエッチングされず、Ta₂N膜1512、W膜1513でなるゲート電極と、ゲート絶縁膜1511が形成される。

【0083】本実施例においては、ゲート電極を形成する導電層として、Ta₂N、Wの積層構造としたが、単層であっても良いし、3層以上の積層構造としても良い。

【0084】その後、レジストマスクを除去し、新たにレジストマスク1514を形成して第2のドーピング処理を行い、所望の半導体層にN型を付与する不純物元素を添加した。この場合、導電層1512、1513でなるゲート電極が、N型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域1515が形成される。本実施例においては、半導体層の膜厚が150[nm]と厚いこともあり、2条件に分けて処理を行った。材料ガスとしてフォスフィン(PH₃)を用い、ドーズ量を2×10¹³[atoms/cm²]とし、加速電圧を90[keV]として行った後、ドーズ量を5×10¹⁴[atoms/cm²]とし、加速電圧を10[keV]として行った(図15(E))。

【0085】その後、レジストマスク1514を除去し、新たにレジストマスク1516を形成して第3のドーピング処理を行い、所望の半導体層にP型を付与する不純物元素を添加した。先程と同様、導電層1512、1513でなるゲート電極が、P型を付与する不純物元素に対するマスクとなり、自己整合的に第2の不純物領域1517が形成される。この処理もまた、半導体層の膜厚が150[nm]と厚いため、2条件に分けて処理を行った。材料ガスとしてジボラン(B₂H₆)を用い、ドーズ量を2×10¹³[atoms/cm²]とし、加速電圧を90[keV]

として行った後、ドーズ量を1×10¹⁵[atoms/cm²]とし、加速電圧を10[keV]として行った(図15(F))。

【0086】以上までの工程で、それぞれの半導体層1506、1507に第1、第2の不純物領域1515、1517が形成された。

【0087】次いで、レジストマスク1516を除去し、プラズマCVD法によって第1の層間絶縁膜1518として、膜厚50[nm]の酸化珪素膜(組成比:Si=32.8[%]、O=63.7[%]、H=3.5[%])を形成した。

【0088】そして、熱処理を行い、半導体層の結晶性の回復、およびそれぞれの半導体層に添加された不純物元素の活性化を行う。本実施例においては、ファーンズアニール炉を用いた熱アニール法により、窒素雰囲気下で550℃、4時間の熱処理を行った(図15(G))。

【0089】次いで、第1の層間絶縁膜1518上に、第2の層間絶縁膜1519を形成する。本実施例においては、CVD法により、膜厚50[nm]の窒化珪素膜を形成した後、膜厚400[nm]の酸化珪素膜を形成し、第2の層間絶縁膜とした。なお、この第2の層間絶縁膜は、平坦化の意味合いが強いため、膜の平坦化に優れた材料を用いるのが望ましい。また、アクリル等の有機絶縁材料を用いて形成しても良い。

【0090】そして、再び熱処理を行い、活性層中のダングリングボンドを終端する水素化処理を行った。本実施例においては、ファーンズアニール炉を用いた熱アニール法により、窒素雰囲気下で410℃、1時間の熱処理を行った。

【0091】その後、各不純物領域に達するコンタクトホールを開口し、配線1520を形成する。本実施例においては、膜厚50[nm]のTi膜と、膜厚500[nm]のAl-Si膜と、膜厚50[nm]のTi膜との積層膜をパターンニングして形成した。もちろん、単層の導電膜を用いて配線を形成しても良いし、3層以上の積層膜としても良い。また、配線材料としては、Al、Ti等に限らず、導電性の高い材料を適宜用いて良い。例えば、Ta₂N膜上にAlやCuを形成し、さらにTi膜を形成した積層膜をパターンニングして配線を形成しても良い。

【0092】以上のようにして、チャネル長6[μm]、チャネル幅4[μm]のNチャネル型TFTとPチャネル型TFTとが形成された(図15(H))。

【0093】これらの電気的特性を測定した結果を、図16に示す。Nチャネル型TFTの電気的特性を図16(A)に、Pチャネル型TFTの電気的特性を図16(B)に示す。測定条件は、それぞれゲート・ソース間電圧V_G=-16~16[V]の範囲で、ソース・ドレイン間電圧V_D=±1[V]、±5[V]とした。また、図16において、ドレイン電流I_D、およびゲートリーク電流I_Gは実線で、電界効果移動度μ_{FE}は点線で示している。

【0094】実施例5に従って結晶化を行った半導体層

には大粒径の結晶粒が形成されているため、前記半導体層を活性層に用いてTFTを作製すると、そのチャネル形成領域に含まれる結晶粒界の数を極めて少なくすることが出来る。さらに、形成された結晶粒は、レーザの走査方向もしくはそれに準ずる方向に延在しているため、電荷の移動の際、結晶粒界を通過する回数を極めて少なくすることが出来る。そのため、図16(A)(B)に示したように、電気的特性の良好なTFTを得ることが出来る。図16に示した結果によると、その電界効果移動度は、Nチャネル型TFTの場合で524[cm²/Vs]、Pチャネル型TFTの場合で205[cm²/Vs]と、大変良好な特性を有するTFTが得られた。

【0095】なお、本実施例にて作製したTFTは、トップゲート型のTFTであるが、ボトムゲート型TFTや、活性層を挟んで上下にゲート電極を有するデュアルゲート型TFT、例えば特願2001-91493号、特願2001-116307号等に記載されている構造のTFTとした場合にも、良好な特性を得ることが出来る。

【0096】なお、本実施例は他の実施例と組み合わせ

て実施することが可能である。
【0097】【実施例8】本実施例においては、実施例6に示した方法によって結晶化した半導体層を活性層に用いてTFTを作製した例について、図17に沿って説明する。

【0098】基板1701上に、下地膜1702、非晶質半導体層1703を形成するまでの工程は、実施例7と同様である。プラズマCVD法により窒化酸化珪素膜(組成比: Si=32[%]、O=27[%]、N=24[%]、H=17[%])を50[nm]と、酸化窒化珪素膜(組成比: Si=32[%]、O=59[%]、N=7[%]、H=2[%])を100[nm]積層した。次いで、下地膜1702上に、プラズマCVD法によって、非晶質半導体層1703を150[nm]の厚さで形成した。そして500℃、3時間の熱処理を行い、半導体層が含有する水素を放出させた(図17(A))。

【0099】その後、特開平7-183540号公報に記載された方法により、前記非晶質半導体層上に、スピコート法にて酢酸ニッケル水溶液(重量換算濃度5[ppm]、10[ppm])を塗布して金属含有層1704を形成する。そして、500℃の窒素雰囲気下で1時間、550℃の窒素雰囲気下で12時間の熱処理を行った。こうして、第1の結晶質半導体層1705を得た(図17(C))。

【0100】続いて、レーザアニール法により、第1の結晶質半導体層1705の結晶性の向上を行う。

【0101】レーザアニール法の条件は、レーザ1706として連続発振のYVO₄レーザの第2高調波(波長532[nm]、5.5[W])を用い、実施例3もしくは実施例4に示した方法によって第1の結晶質半導体層170

5上を走査、全面に照射して結晶化を行い、第2の結晶質半導体層1707を得た(図17(B))。

【0102】以後、実施例7において図15(D)～図15(H)に示した工程に従う。こうして、チャネル長6[μm]、チャネル幅4[μm]のNチャネル型TFTとPチャネル型TFTが形成された。

【0103】これらの電気的特性を測定した結果を、図18、図19に示す。図18は、レーザアニールの工程において、レーザの走査速度を20[cm/s]として作製されたTFTの電気的特性を示しており、図19は、レーザの走査速度を50[cm/s]として作製されたTFTの電気的特性を示している。また、それぞれの図において、Nチャネル型TFTの電気的特性を(A)に、Pチャネル型TFTの電気的特性を(B)に示す。測定条件は、それぞれゲート・ソース間電圧VG=-16～16[V]の範囲で、ソース・ドレイン間電圧VD=±1[V]、±5[V]とした。また、図18、図19において、ドレイン電流ID、およびゲートリーク電流IGは実線で、電界効果移動度μFEは点線で示している。

【0104】実施例6に従って結晶化を行った半導体層には大粒径の結晶粒が形成されているため、前記半導体層を活性層に用いてTFTを作製すると、そのチャネル形成領域に含まれる結晶粒界の数を極めて少なくすることが出来る。さらに、形成された結晶粒は、レーザの走査方向もしくはそれに準ずる方向に延在しているため、電荷の移動の際、結晶粒界を通過する回数を極めて少なくすることが出来る。そのため、図18、図19に示したように、電気的特性の良好なTFTを得ることが出来る。図18に示した結果によると、その電界効果移動度は、Nチャネル型TFTの場合で510[cm²/Vs]、Pチャネル型TFTの場合で200[cm²/Vs]、また、図19に示した結果によると、その電界効果移動度は、Nチャネル型TFTの場合で595[cm²/Vs]、Pチャネル型TFTの場合で199[cm²/Vs]と、大変良好な特性を有するTFTが得られた。

【0105】また、同じくレーザの走査速度を50[cm/s]として作製されたTFTの電気的特性を、ゲート・ソース間電圧VG=-16～16[V]の範囲で、ソース・ドレイン間電圧VD=±0.1[V]、±5[V]として測定した結果を図20に示す。図20(A)はNチャネル型TFTの電気的特性を、図20(B)はPチャネル型TFTの電気的特性を示している。特に電界効果移動度については、Nチャネル型TFTにおいては657[cm²/Vs]、Pチャネル型TFTにおいては219[cm²/Vs]と、非常に良好な値を示した。

【0106】なお、本実施例にて作製したTFTは、トップゲート型のTFTであるが、ボトムゲート型TFTや、活性層を挟んで上下にゲート電極を有するデュアルゲート型TFT、例えば特願2001-91493号、特願2001-116307号等に記載されている構造

のTFTとした場合にも、良好な特性を得ることが出来る。

【0107】なお、本実施例は他の実施例と組み合わせで実施することが可能である。

【0108】[実施例9]CMOS回路で構成される駆動回路と、スイッチング用TFT及び駆動用TFTを有する画素部とが同一基板上に形成された基板を便宜上アクティブマトリクス基板と呼ぶ。そして本実施例では前記アクティブマトリクス基板を用いた液晶表示装置の作製工程について図13、図14を用いて説明する。

【0109】基板5000は、石英基板、シリコン基板、金属基板又はステンレス基板の表面に絶縁膜を形成したものを用いる。また本作製工程の処理温度に耐える耐熱性を有するプラスチック基板を用いても良い。本実施例ではバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等のガラスからなる基板5000を用いた。

【0110】実施例5または実施例6に従い、基板5000上に下地膜5001、島状の結晶質半導体層(以後、半導体層と表記)5002～5005を形成する。

【0111】次いで、半導体層5002～5005を覆うゲート絶縁膜5006を形成する。ゲート絶縁膜5006はプラズマCVD法やスパッタ法を用いて、膜厚を40～150[nm]として珪素を含む絶縁膜で形成する。本実施例では、ゲート絶縁膜5006としてプラズマCVD法により酸化窒化珪素膜を115[nm]の厚さに形成した。勿論、ゲート絶縁膜5006は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0112】なおゲート絶縁膜5006として酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40[Pa]、基板温度300～400℃とし、高周波(13.56[MHz])電力密度0.5～0.8[W/cm²]で放電させて形成しても良い。上記の工程により作製される酸化珪素膜は、その後400～500℃の熱アニールによって、ゲート絶縁膜5006として良好な特性を得ることができる。

【0113】次いで、ゲート絶縁膜5006上に膜厚20～100[nm]の第1の導電膜5007と、膜厚100～400[nm]の第2の導電膜5008とを積層形成する。本実施例では、膜厚30[nm]のTaN膜からなる第1の導電膜5007と、膜厚370[nm]のW膜からなる第2の導電膜5008を積層形成した。

【0114】本実施例では、第1の導電膜5007であるTa₂N₅膜はスパッタ法で形成し、Taのターゲットを用いて、窒素を含む雰囲気内でスパッタ法を用いて形成した。また第2の導電膜5008であるW膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用

するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.9999[%])のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20[μΩcm]を実現することができた。

10 【0115】なお本実施例では、第1の導電膜5007をTa₂N₅膜、第2の導電膜5008をW膜としたが、第1の導電膜5007及び第2の導電膜5008を構成する材料は特に限定されない。第1の導電膜5007及び第2の導電膜5008は、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選択された元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜やAgPdCu合金で形成してもよい。

20 【0116】次いで、フォトリソグラフィ法を用いてレジストからなるマスク5009を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。(図13(B))

【0117】本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25:25:10[sccm]とし、1.0[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも150[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加した。そしてこの第1のエッチング条件によりW膜をエッチングして第1の導電層5007の端部をテーパ形状とした。

【0118】続いて、レジストからなるマスク5009を除去せずに第2のエッチング条件に変更し、エッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30:30[sccm]とし、1.0[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して15秒程度のエッチングを行った。基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加した。第2のエッチング条件では第1の導電層5007及び第2の導電層5008とも同程度にエッチングを行った。なお、ゲート絶縁膜5006上に残渣を残すことなくエッチングするためには、10～20[%]程度の割合でエッチング時間を増加させると良い。

50 【0119】上記の第1のエッチング処理では、レジス

トからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層5007及び第2の導電層5008の端部がテーパー形状となる。こうして、第1のエッチング処理により第1の導電層5007と第2の導電層5008から成る第1の形状の導電層5010～5014を形成した。ゲート絶縁膜5006においては、第1の形状の導電層5010～5014で覆われない領域が20～50nm程度エッチングされたため、膜厚が薄くなった領域が形成された。

【0120】次いで、レジストからなるマスク5009を除去せずに第2のエッチング処理を行う。(図13(C))第2のエッチング処理では、エッチングガスに SF_6 と Cl_2 と O_2 を用い、それぞれのガス流量比を24:12:24(sccm)とし、1.3Paの圧力でコイル側の電力に700WのRF(13.56MHz)電力を投入してプラズマを生成して25秒程度のエッチングを行った。基板側(試料ステージ)にも10WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。こうして、W膜を選択的にエッチングして、第2の形状の導電層5015～5019を形成した。このとき、第1の導電層5015a～5018aは、ほとんどエッチングされない。

【0121】そして、レジストからなるマスク5009を除去せずに第1のドーピング処理を行い、半導体層5002～5005にN型を付与する不純物元素を低濃度に添加する。第1のドーピング処理はイオンドープ法又はイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を40～80[kV]として行う。本実施例ではドーズ量を $5.0 \times 10^{13} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を50[kV]として行った。N型を付与する不純物元素としては、15族に属する元素を用いれば良く、代表的にはリン(P)又は砒素(As)を用いられるが、本実施例ではリン(P)を用いた。この場合、第2の形状の導電層5015～5019がN型を付与する不純物元素に対するマスクとなって、自己整合的に第1の不純物領域(N-領域)5020～5023を形成した。そして第1の不純物領域5020～5023には $1 \times 10^{18} \sim 1 \times 10^{20} [\text{atoms}/\text{cm}^3]$ の濃度範囲でN型を付与する不純物元素が添加された。

【0122】続いてレジストからなるマスク5009を除去した後、新たにレジストからなるマスク5024を形成して、第1のドーピング処理よりも高い加速電圧で第2のドーピング処理を行う。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 3 \times 10^{15} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を60～120[kV]として行う。本実施例では、ドーズ量を $3.0 \times 10^{15} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を65[kV]として行った。第2のドーピング処理は第2の導電層5015b～5018bを不純物元素に

対するマスクとして用い、第1の導電層5015a～5018aのテーパー部の下方の半導体層に不純物元素が添加されるようにドーピングを行う。

【0123】上記の第2のドーピング処理を行った結果、第1の導電層と重なる第2の不純物領域(N-領域、Lov領域)5026には $1 \times 10^{18} \sim 5 \times 10^{19} [\text{atoms}/\text{cm}^3]$ の濃度範囲でN型を付与する不純物元素を添加された。また第3の不純物領域(N+領域)5025、5028には $1 \times 10^{19} \sim 5 \times 10^{21} [\text{atoms}/\text{cm}^3]$ の濃度範囲でN型を付与する不純物元素を添加された。また、第1、第2のドーピング処理を行った後、半導体層5002～5005において、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域が形成された。本実施例では、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域をチャネル領域5027、5030とよぶ。また前記第1のドーピング処理により形成された第1の不純物領域(N-領域)5020～5023のうち、第2のドーピング処理においてレジスト5024で覆われていた領域が存在するが、本実施例では、引き続き第1の不純物領域(N-領域、LDD領域)5029とよぶ。

【0124】なお本実施例では、第2のドーピング処理のみにより、第2の不純物領域(N-領域)5026及び第3の不純物領域(N+領域)5025、5028を形成したが、これに限定されない。ドーピング処理を行う条件を適宜変えて、複数回のドーピング処理で形成しても良い。

【0125】次いで図14(A)に示すように、レジストからなるマスク5024を除去した後、新たにレジストからなるマスク5031を形成する。その後、第3のドーピング処理を行う。第3のドーピング処理により、Pチャネル型TFTの活性層となる半導体層に、前記第1の導電型とは逆の導電型を付与する不純物元素が添加された第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035を形成する。

【0126】第3のドーピング処理では、第2の導電層5016b、5018bを不純物元素に対するマスクとして用いる。こうして、P型を付与する不純物元素を添加し、自己整合的に第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035を形成する。

【0127】本実施例では、第4の不純物領域5032、5034及び第5の不純物領域5033、5035はジボラン(B_2H_6)を用いたイオンドープ法で形成する。イオンドープ法の条件としては、ドーズ量を $1 \times 10^{16} [\text{atoms}/\text{cm}^2]$ とし、加速電圧を80[kV]とした。

【0128】なお、第3のドーピング処理の際には、Nチャネル型TFTを形成する半導体層はレジストからなるマスク5031によって覆われている。

【0129】ここで、第1及び2のドーピング処理によって、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035にはそれぞれ異なる濃度でリンが添加されている。しかし、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035のいずれの領域においても、第3のドーピング処理によって、P型を付与する不純物元素の濃度が $1 \times 10^{19} \sim 5 \times 10^{21}$ [atoms/cm³]となるようにドーピング処理される。こうして、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035は、Pチャネル型TFTのソース領域およびドレイン領域として問題なく機能する。

【0130】なお本実施例では、第3のドーピング処理のみにより、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035を形成したが、これに限定されない。ドーピング処理を行う条件を適宜変えて、複数回のドーピング処理で形成しても良い。

【0131】次いで図14(B)に示すように、レジストからなるマスク5031を除去して第1の層間絶縁膜5036を形成する。この第1の層間絶縁膜5036としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200[nm]として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚100[nm]の酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜5036は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0132】次いで、図14(C)に示すように、加熱処理(熱処理)を行って、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行う。この加熱処理はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で、400~700℃で行えばよく、本実施例では410℃、1時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザアニール法、またはラビッドサーマルアニール法(RTA法)を適用することができる。

【0133】また、第1の層間絶縁膜5036を形成する前に加熱処理を行っても良い。ただし、第1の導電層5015a~5019a及び、第2の導電層5015b~5019bを構成する材料が熱に弱い場合には、本実施例のように配線等を保護するため第1の層間絶縁膜5036(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で熱処理を行うことが好ましい。

【0134】上記の様に、第1の層間絶縁膜5036(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後に熱処理することにより、活性化処理と同時に、半導体層の水素化も行うことができる。水素化の工程で

は、第1の層間絶縁膜5036に含まれる水素により半導体層のダングリングボンドが終端される。

【0135】なお、活性化処理のための加熱処理とは別に、水素化のための加熱処理を行っても良い。

【0136】ここで、第1の層間絶縁膜5036の存在に関係なく、半導体層を水素化することもできる。水素化の他の手段として、プラズマにより励起された水素を用いる手段(プラズマ水素化)や、3~100[%]の水素を含む雰囲気中において、300~450℃で1~12時間の加熱処理を行う手段でも良い。

【0137】次いで、第1の層間絶縁膜5036上に、第2の層間絶縁膜5037を形成する。第2の層間絶縁膜5037としては、無機絶縁膜を用いることができる。例えば、CVD法によって形成された酸化珪素膜や、SOG(Spin On Glass)法によって塗布された酸化珪素膜等を用いることができる。また、第2の層間絶縁膜5037として、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、BCB(ベンゾシクロブテン)、アクリル等の膜を用いることができる。また、アクリル膜と酸化窒化珪素膜の積層構造を用いても良い。

【0138】本実施例では、膜厚1.6[μm]のアクリル膜を形成した。第2の層間絶縁膜5037によって、基板上5000に形成されたTFTによる凹凸を緩和し、平坦化することができる。特に、第2の層間絶縁膜5037は平坦化の意味合いが強いので、平坦性に優れた膜が好ましい。

【0139】次いで、ドライエッチングまたはウェットエッチングを用い、第2の層間絶縁膜5037、第1の層間絶縁膜5036、およびゲート絶縁膜5006をエッチングし、第3の不純物領域5025、5028、第4の不純物領域5032、5034に達するコンタクトホールを形成する。

【0140】続いて、各不純物領域とそれぞれ電氣的に接続する配線5038~5041および画素電極5042を形成する。なお、これらの配線は、膜厚50[nm]のTi膜と、膜厚500[nm]の合金膜(AlとTiの合金膜)との積層膜をパターニングして形成する。もちろん、二層構造に限らず、単層構造でも良いし、三層以上の積層構造にしても良い。また、配線材料としては、AlとTiに限らない。例えば、Ta-N膜上にAl膜やCu膜を形成し、さらにTi膜を形成した積層膜をパターニングして配線を形成しても良いが、反射性に優れた材料を用いることが望ましい。

【0141】続いて、画素電極5042を少なくとも含む部分上に配向膜5043を形成しラビング処理を行う。なお、本実施例では配向膜5043を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサ5045を所望の位置に形成した。また、柱状のスペー

サに代えて、球状のスペーサを基板全面に散布してもよい。

【0142】次いで、対向基板 5046 を用意する。対向基板 5046 上に着色層(カラーフィルタ) 5047 ~ 5049、平坦化膜 5050 を形成する。このとき、第 1 の着色層 5047 と第 2 の着色層 5048 とを重ねて、遮光部を形成する。また、第 1 の着色層 5047 と第 3 の着色層 5049 とを一部重ねて、遮光部を形成してもよいし、第 2 の着色層 5048 と第 3 の着色層 5049 とを一部重ねて、遮光部を形成しても良い。

【0143】このように、新たに遮光層を形成することなく、各画素間の隙間を着色層の積層からなる遮光部で遮光することによって工程数の低減を可能とした。

【0144】次いで、平坦化膜 5050 上に透明導電膜からなる対向電極 5051 を少なくとも画素部に形成し、対向基板の全面に配向膜 5052 を形成し、ラビング処理を施した。

【0145】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材 5044 で貼り合わせる。シール材 5044 にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 5053 を注入し、封止剤(図示せず)によって完全に封止する。液晶材料 5053 には公知の液晶材料を用いれば良い。このようにして図 14 (D) に示す液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、偏光板および FPC (図示せず) を貼りつけた。

【0146】以上のようにして作製される液晶表示装置は、大粒径の結晶粒が形成された半導体膜を用いて作製された TFT を有しており、前記液晶表示装置の動作特性や信頼性を十分なものとなり得る。そして、このような液晶表示装置は各種電子機器の表示部として用いることができる。

【0147】なお、本実施例は他の実施例と組み合わせて実施することが可能である。

【0148】[実施例 10] 本発明は液晶表示装置のみならず、発光素子に有機エレクトロルミネッセンス(Electro Luminescence: EL)素子を用いた発光装置の作製にも適用が可能である。本実施例ではこのような発光装置を作製した例について、図 14 の一部および図 21 に沿って説明する。

【0149】実施例 9 に従い、図 14 (B) に示す状態を得た後、第 1 の層間絶縁膜 5036 上に、第 2 の層間絶縁膜 6001 を形成する。第 2 の層間絶縁膜 6001 としては、無機絶縁膜を用いることができる。例えば、CVD 法によって形成された酸化珪素膜や、SOG (Spin On Glass) 法によって塗布された酸化珪素膜等を用いることができる。また、第 2 の層間絶縁膜 6001 とし

て、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、BCB (ベンゾシクロブテン)、アクリル等の膜を用いることができる。また、アクリル膜と酸化窒化珪素膜の積層構造を用いても良い。

【0150】本実施例では、膜厚 1.6 [μm] のアクリル膜を形成した。第 2 の層間絶縁膜 6001 によって、基板上 5000 に形成された TFT による凹凸を緩和し、平坦化することができる。特に、第 2 の層間絶縁膜 6001 は平坦化の意味合いが強いので、平坦性に優れた膜が好ましい。

【0151】次いで、ドライエッチングまたはウェットエッチングを用い、第 2 の層間絶縁膜 6001、第 1 の層間絶縁膜 5036、およびゲート絶縁膜 5006 をエッチングし、第 3 の不純物領域 5025、5028、第 4 の不純物領域 5032、5034 に達するコンタクトホールを形成する。

【0152】次いで、透明導電膜からなる画素電極 6002 を形成する。透明導電膜としては、酸化インジウムと酸化スズの化合物(Indium Tin Oxide: ITO)、酸化インジウムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、酸化インジウム等を用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いてもよい。画素電極が EL 素子の陽極に相当する。

【0153】本実施例では、ITO を 110 [nm] の厚さで成膜、その後パターニングし、画素電極 6002 を形成した。

【0154】次いで、各不純物領域とそれぞれ電氣的に接続される配線 6003 ~ 6009 を形成する。なお本実施例では、配線 6003 ~ 6009 は、膜厚 100 [nm] の Ti 膜と、膜厚 350 [nm] の Al 膜と、膜厚 100 [nm] の Ti 膜との積層膜をスパッタ法で連続形成し、所望の形状にパターニングして形成する。

【0155】もちろん、三層構造に限らず、単層構造でもよいし、二層構造でもよいし、四層以上の積層構造にしてもよい。また配線の材料としては、Al と Ti に限らず、他の導電膜を用いても良い。例えば、Ta-N 膜上に Al や Cu を形成し、さらに Ti 膜を形成した積層膜をパターニングして配線を形成してもよい。

【0156】以上の工程により図 21 (A) に示すように、N チャネル型 TFT と P チャネル型 TFT からなる CMOS 回路を有する駆動回路部と、スイッチング用 TFT、駆動用 TFT とを有する画素部を同一基板上に形成することができる。

【0157】次いで、第 3 の層間絶縁膜 6010 を形成する。第 3 の層間絶縁膜 6010 としては、無機絶縁膜や有機絶縁膜を用いることができる。無機絶縁膜としては、CVD 法によって形成された酸化珪素膜や、SOG (Spin On Glass) 法によって塗布された酸化珪素膜、あるいは、スパッタ法によって形成された窒化酸化珪素膜等を用いることができる。また、有機絶縁膜としては、

アクリル樹脂膜等を用いることができる。

【0158】第2の層間絶縁膜6001と第3の層間絶縁膜6010の組み合わせの例を以下に挙げる。

【0159】第2の層間絶縁膜6001として、アクリルとスパッタ法によって形成された窒化酸化珪素膜の積層膜を用い、第3の層間絶縁膜6010として、スパッタ法によって形成された窒化酸化珪素膜を用いる組み合わせがある。また、第2の層間絶縁膜6001として、SOG法によって形成した酸化珪素膜を用い、第3の層間絶縁膜6010としてもSOG法によって形成した酸化珪素膜を用いる組み合わせがある。また、第2の層間絶縁膜6001として、SOG法によって形成した酸化珪素膜とプラズマCVD法によって形成した酸化珪素膜の積層膜を用い、第3の層間絶縁膜6010としてプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第2の層間絶縁膜6001として、アクリルを用い、第3の層間絶縁膜6010としてもアクリルを用いる組み合わせがある。また、第2の層間絶縁膜6001として、アクリルとプラズマCVD法によって形成した酸化珪素膜の積層膜を用い、第3の層間絶縁膜6010としてプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第2の層間絶縁膜6001として、プラズマCVD法によって形成した酸化珪素膜を用い、第3の層間絶縁膜6010としてアクリルを用いる組み合わせがある。

【0160】続いて、図21(B)に示すように、第3の層間絶縁膜6010の画素電極6002に対応する位置に開口部を形成する。第3の層間絶縁膜6010は、バンクとして機能する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかなでないと段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

【0161】第3の層間絶縁膜中に、カーボン粒子や金属粒子を添加し、抵抗率を下げ、静電気の発生を抑制してもよい。この際、抵抗率は、 $1 \times 10^6 \sim 1 \times 10^{12} [\Omega \text{m}]$ (好ましくは、 $1 \times 10^8 \sim 1 \times 10^{10} [\Omega \text{m}]$) となるように、カーボン粒子や金属粒子の添加量を調節すればよい。

【0162】次いで、第3の層間絶縁膜6010の開口部において露出している画素電極6002上に、EL層6011を形成する。

【0163】EL層6011としては、公知の有機発光材料や無機発光材料を用いることができる。

【0164】有機発光材料としては、低分子系有機発光材料、高分子系有機発光材料、中分子系有機材料を自由に用いることができる。なお、本明細書中においては、中分子系有機発光材料とは、昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが10[μm]以下の有機発光材料を示すものとする。

【0165】EL層6011は通常、積層構造である。代表的には、コダック・イーストマン・カンパニーのTanngらが提案した「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。また他にも、陽極上に正孔注入層/正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0166】本実施例では蒸着法により低分子系有機発光材料を用いてEL層6011を形成している。具体的には、正孔注入層として20[nm]厚の銅フタロシアニン(CuPc)膜を設け、その上に発光層として70[nm]厚のトリス-8-キノリノラトアルミニウム錯体(A1q3)膜を設けた積層構造としている。A1q3にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0167】なお、図21(B)では一画素しか図示していないが、複数の色、例えば、R(赤)、G(緑)、B(青)の各色に対応したEL層6011を作り分ける構成とすることができる。

【0168】また、高分子系有機発光材料を用いる例として、正孔注入層として20[nm]のポリチオフェン(PEDOT)膜をスピン塗布法により設け、その上に発光層として100[nm]程度のパラフェニレンビニレン(PPV)膜を設けた積層構造によってEL層6011を構成しても良い。なお、PPVの π 共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電子輸送層や電子注入層として炭化珪素等の無機材料を用いることも可能である。

【0169】なお、EL層6011は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、EL層6011は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混合した層を有する構造であってもよい。

【0170】例えば、電子輸送層を構成する材料(以下、電子輸送材料と表記する)と、発光層を構成する材料(以下、発光材料と表記する)とによって構成される混合層を、電子輸送層と発光層との間に有する構造のEL層6011であってもよい。

【0171】次に、EL層6011の上には導電膜からなる画素電極6012が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜(マグネシウムと銀との合金膜)を用いても良い。画素電極6012がEL素子の陰極に相当する。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を自由に用いることができる。

【0172】画素電極6012まで形成された時点でEL素子が完成する。なお、EL素子とは、画素電極(陽

極)6002、EL層6011及び画素電極(陰極)6012で形成された素子を指す。

【0173】EL素子を完全に覆うようにしてパッシベーション膜6013を設けることは有効である。パッシベーション膜6013としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いることができる。

【0174】カバレッジの良い膜をパッシベーション膜6013として用いることが好ましく、炭素膜、特にDLC(ダイヤモンドライクカーボン)膜やCN膜を用いることは有効である。DLC膜は室温から100℃以下の温度範囲で成膜可能であるため、耐熱性の低いEL層6011の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、EL層6011の酸化を抑制することが可能である。そのため、EL層6011が酸化するといった問題を防止できる。

【0175】なお、第3の層間絶縁膜6010を形成した後、パッシベーション膜6013を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。

【0176】なお、実際には図21(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にし、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

【0177】また、パッケージング等の処理により気密性を高めたら、基板5000上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。

【0178】なお、本実施例においては、EL素子の形成は、陽極(透明電極)→EL層(正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層)→陰極(反射電極)の順に形成され、EL素子から発せられた光は、透明導電膜でなる陽極を透過し、TFTが形成されている基板の側に出射される。ここで、EL素子を、陰極(反射電極)→EL層(電子注入層、電子輸送層、発光層、正孔輸送層、正孔注入層)→陽極(透明電極)の順で形成し、前者とは反対側に光が出射される構成としても良いし、陰極側を光が透過する構成としても良い。

【0179】なお、本実施例は他の実施例と組み合わせることで実施することが可能である。

【0180】[実施例11]本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いる

ことで、外部発光量子効率を飛躍的に向上させることができる。これにより、発光素子の低消費電力化、長寿命化、および軽量化が可能になる。

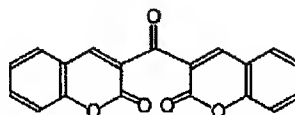
【0181】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【0182】上記の論文により報告された有機発光材料(クマリン色素)の分子式を以下に示す。

【0183】

【化1】

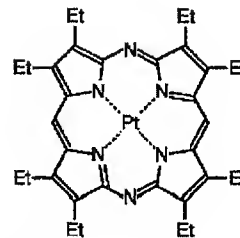


【0184】(M.A.Baldo, D.F.O' Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0185】上記の論文により報告された有機発光材料(Pt錯体)の分子式を以下に示す。

【0186】

【化2】

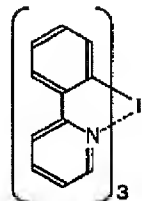


【0187】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

【0188】上記の論文により報告された有機発光材料(Ir錯体)の分子式を以下に示す。

【0189】

【化3】



【0190】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。

【0191】なお、本実施例は他の実施例と組み合わせ

て実施することが可能である。

【0192】[実施例12]本発明を適用して作製される電子機器の一例として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図22に示す。

【0193】図22(A)は発光素子表示装置であり、筐体3001、支持台3002、表示部3003、スピーカー部3004、ビデオ入力端子3005等を含む。本発明は表示部3003の作製に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光素子表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0194】図22(B)はデジタルスチルカメラであり、本体3101、表示部3102、受像部3103、操作キー3104、外部接続ポート3105、シャッター3106等を含む。本発明は表示部3102の作製に用いることができる。

【0195】図22(C)はノート型パーソナルコンピュータであり、本体3201、筐体3202、表示部3203、キーボード3204、外部接続ポート3205、ポインティングマウス3206等を含む。本発明は表示部3203の作製に用いることができる。

【0196】図22(D)はモバイルコンピュータであり、本体3301、表示部3302、スイッチ3303、操作キー3304、赤外線ポート3305等を含む。本発明は表示部3302の作製に用いることができる。

【0197】図22(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体3401、筐体3402、表示部A3403、表示部B3404、記録媒体(DVD等)読込部3405、操作キー3406、スピーカー部3407等を含む。表示部A3403は主として画像情報を表示し、表示部B3404は主として文字情報を表示するが、本発明はこれら表示部A、B3403、3404の作製に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0198】図22(F)はゴーグル型ディスプレイ(ヘ

ッドマウントディスプレイ)であり、本体3501、表示部3502、アーム部3503を含む。本発明は表示部3502の作製に用いることができる。

【0199】図22(G)はビデオカメラであり、本体3601、表示部3602、筐体3603、外部接続ポート3604、リモコン受信部3605、受像部3606、バッテリー3607、音声入力部3608、操作キー3609等を含む。本発明は表示部3602の作製に用いることができる。

10 【0200】図22(H)は携帯電話であり、本体3701、筐体3702、表示部3703、音声入力部3704、音声出力部3705、操作キー3706、外部接続ポート3707、アンテナ3708等を含む。本発明は表示部3703の作製に用いることができる。なお、表示部3703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0201】なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

20 【0202】また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0203】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【発明の効果】本発明によって、CWレーザを用いた結晶化によって得られる大粒径の結晶質半導体層において、その特性の優れた部位のみを効率よく用いてTFTならびに回路を構成し、高速駆動が可能であり、かつ特性ばらつきが少なく高信頼性の得られる半導体装置の作製が可能となった。

40 【図面の簡単な説明】

【図1】 基板上を走査するCWレーザと結晶化の様子を示す図。

【図2】 ある回路図と、回路の実レイアウト例を示す図。

【図3】 基板上のCWレーザの走査方向および順序の例を示す図。

【図4】 表示装置におけるソース信号線駆動回路、およびゲート信号線駆動回路の一例を示す図。

50 【図5】 CWレーザにより結晶化された半導体層の結晶粒の延在方向と、トランジスタのチャネル形成領域

との関係を示す図。

【図 6】 CWレーザー照射装置の概略図。

【図 7】 CWレーザー照射装置の概略図。

【図 8】 基板上を走査する線状パルスレーザーと結晶化の様子を示す図。

【図 9】 CWレーザー照射領域のオーバーラップとオフセットを定義する図。

【図 10】 CWレーザー結晶化後の半導体層表面の観察図。

【図 11】 CWレーザー結晶化後の半導体層表面の観察図。

【図 12】 CWレーザー結晶化による半導体層、エキシマレーザー結晶化による半導体層、および単結晶シリコンウェハにおけるラマン散乱分光の結果を比較する図。

【図 13】 液晶表示装置の作製工程を説明する図。

【図 14】 液晶表示装置の作製工程を説明する図。

【図 15】 TFTの作製工程を説明する図。

【図 16】 TFTの電気的特性の測定結果を示す図。

【図 17】 TFTの作製工程を説明する図。

【図 18】 TFTの電気的特性の測定結果を示す図。

【図 19】 TFTの電気的特性の測定結果を示す図。

【図 20】 TFTの電気的特性の測定結果を示す図。

【図 21】 発光装置の作製工程を説明する図。

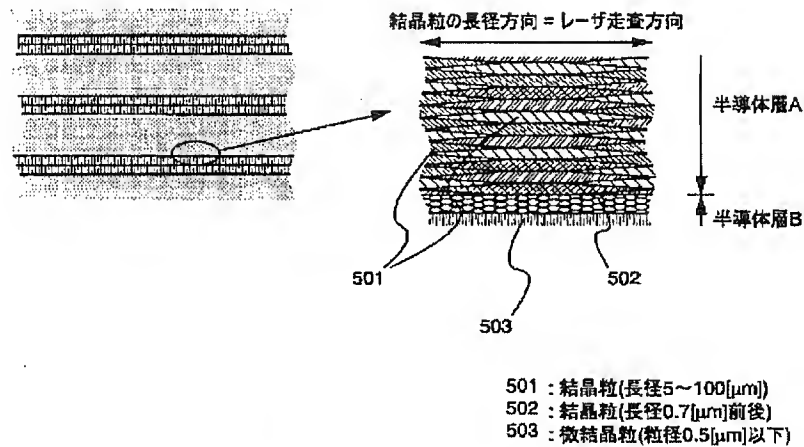
【図 22】 本発明を用いて作製された半導体装置が適用可能な電子機器の例を示す図。

【図 23】 楕円レーザーを複数配列して合成レーザーとして用いる例を示す図。

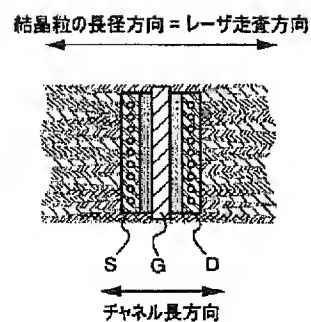
【図 24】 CWレーザーの照射領域と活性層パターンニング位置のアライメントを説明する図。

【図 5】

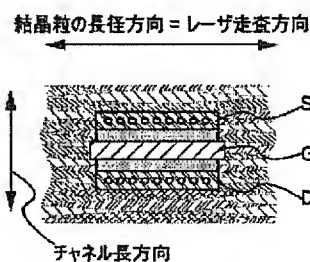
(A)



(B)

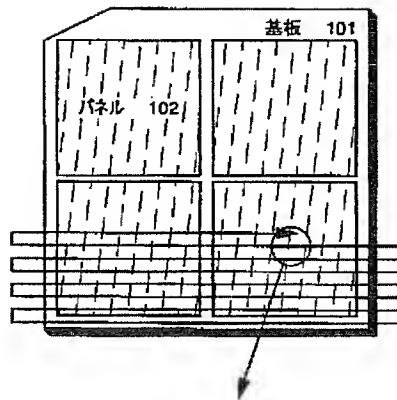


(C)

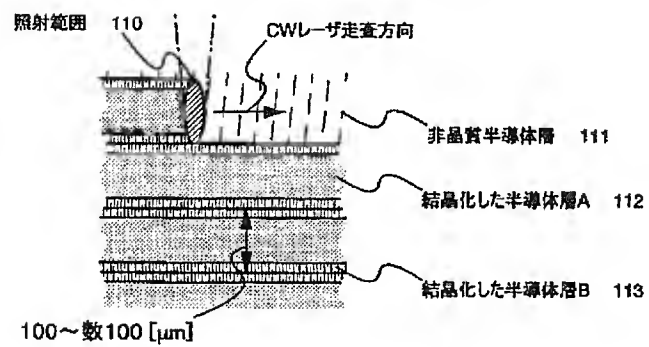


【図1】

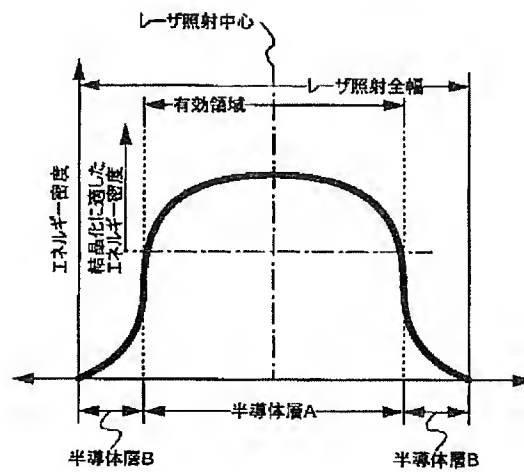
(A)



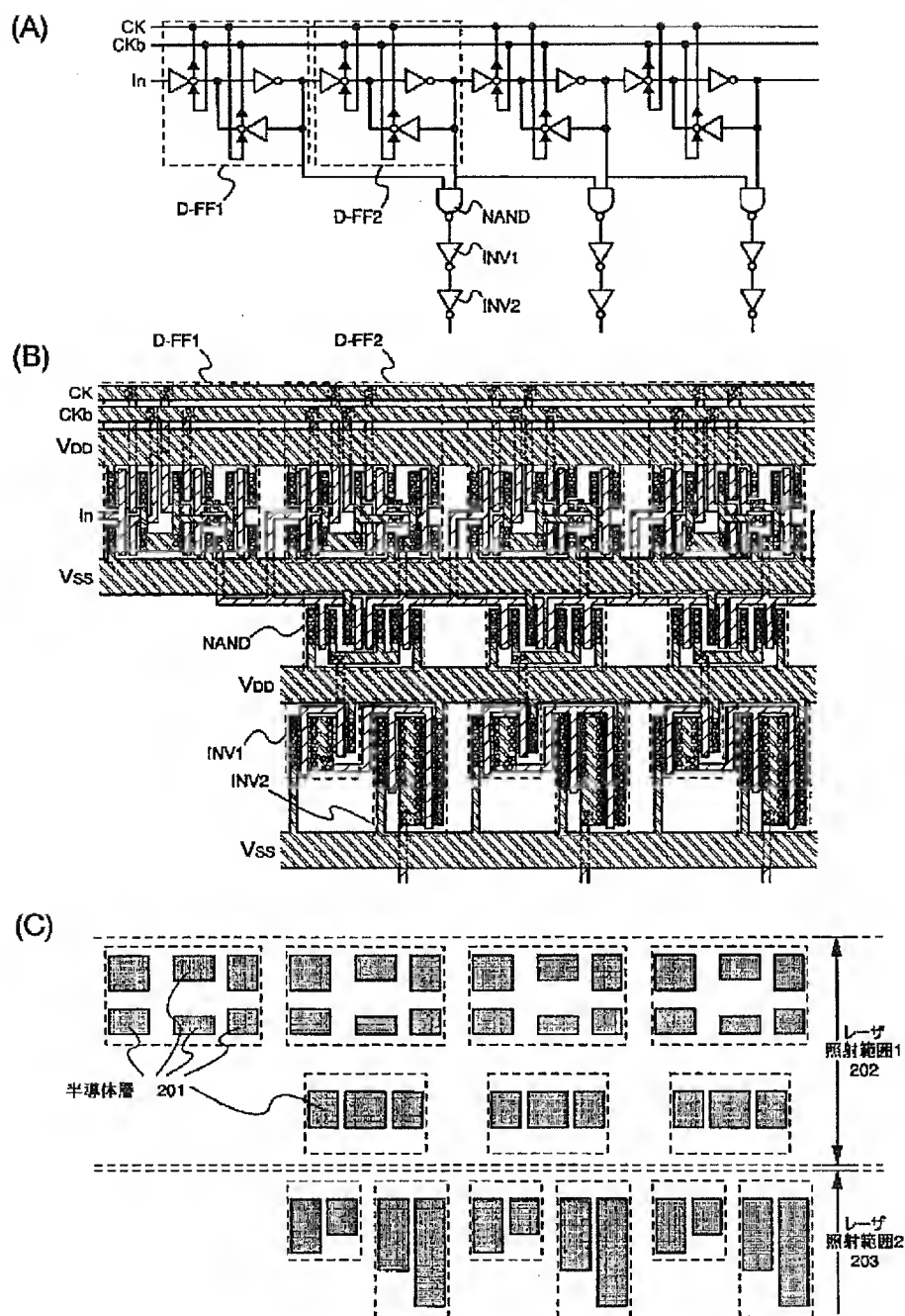
(B)



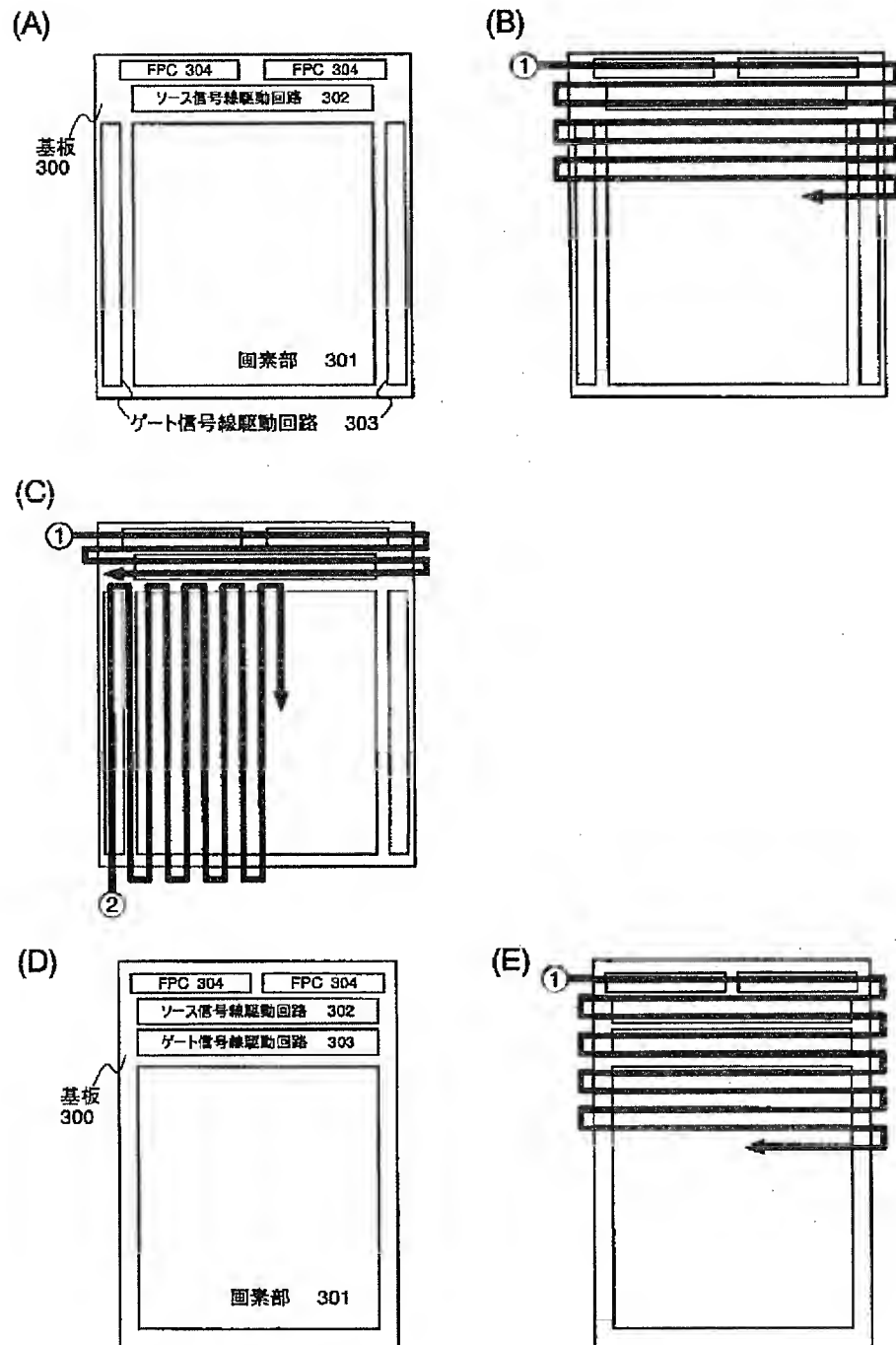
(C)



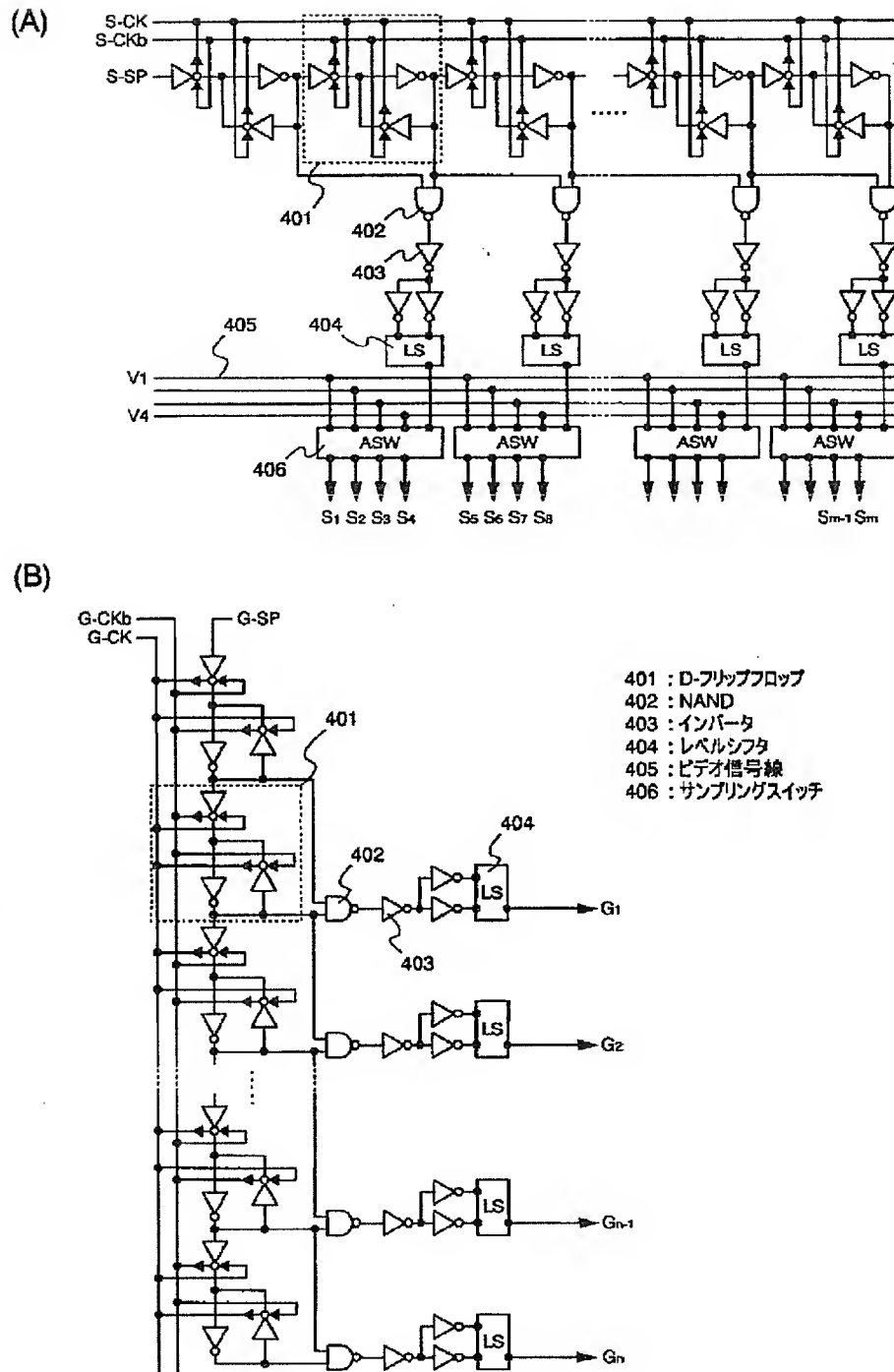
【図 2】



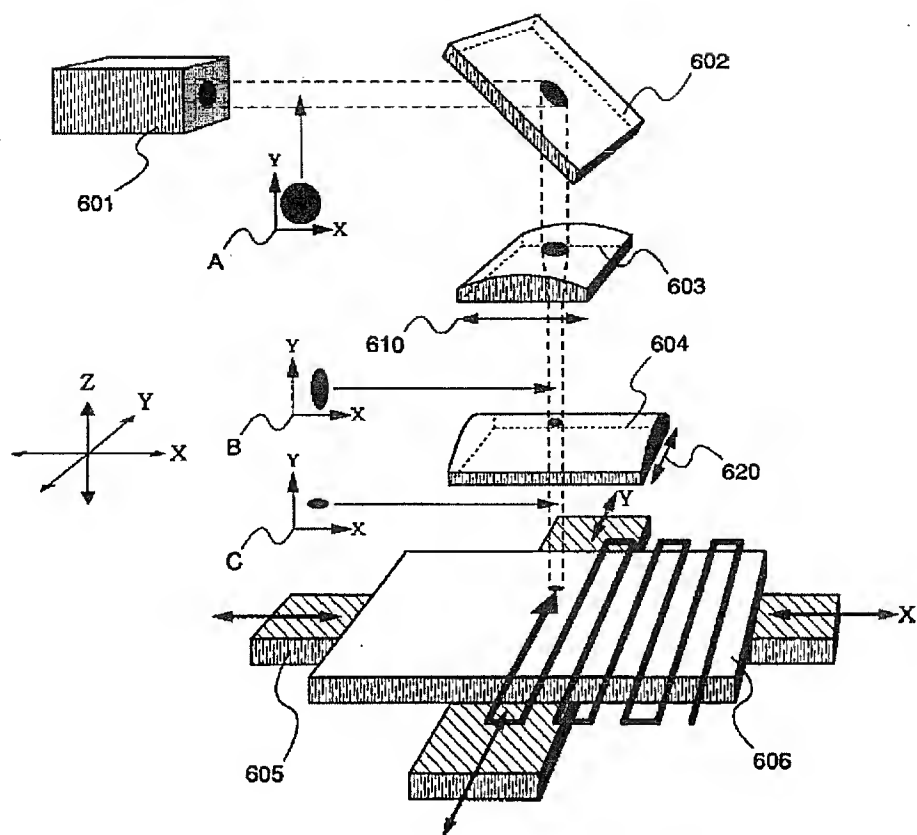
【図3】



【図4】

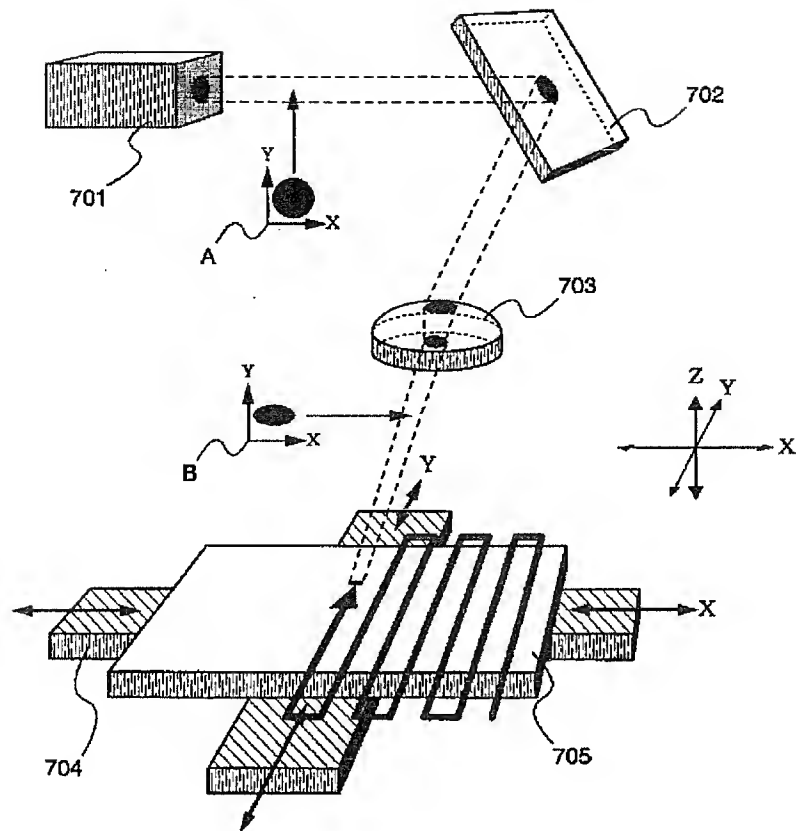


【図6】



- 601 : レーザ発振器
 602 : ミラー
 603 : 第1のシリンドリカルレンズ
 604 : 第2のシリンドリカルレンズ
 605 : X-Yステージ
 606 : 基板

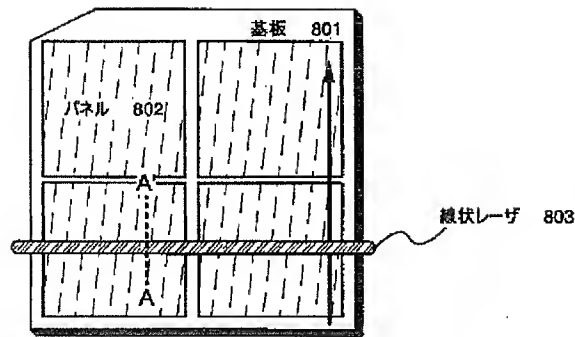
【図 7】



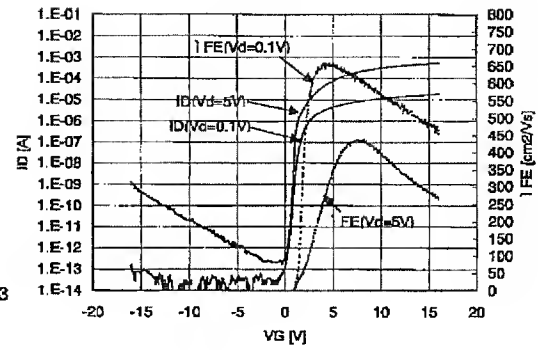
- 701 : レーザ発振器
- 702 : ミラー
- 703 : 凸レンズ
- 704 : X-Yステージ
- 705 : 基板

【図 8】

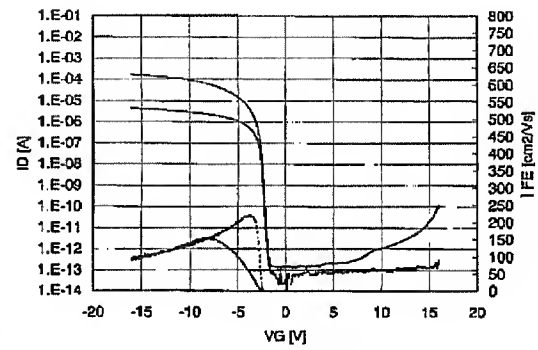
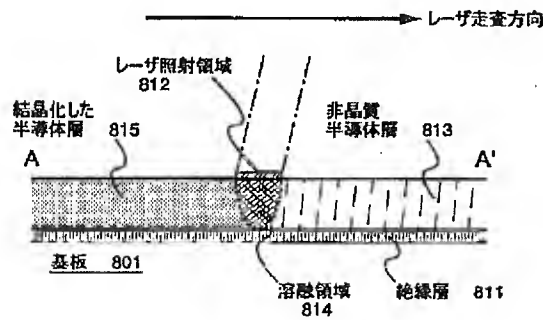
(A)



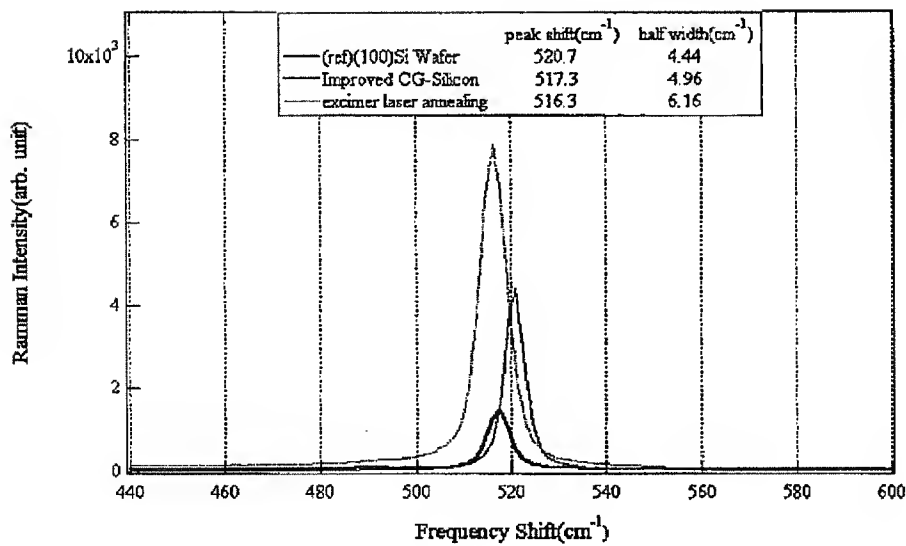
【図 20】



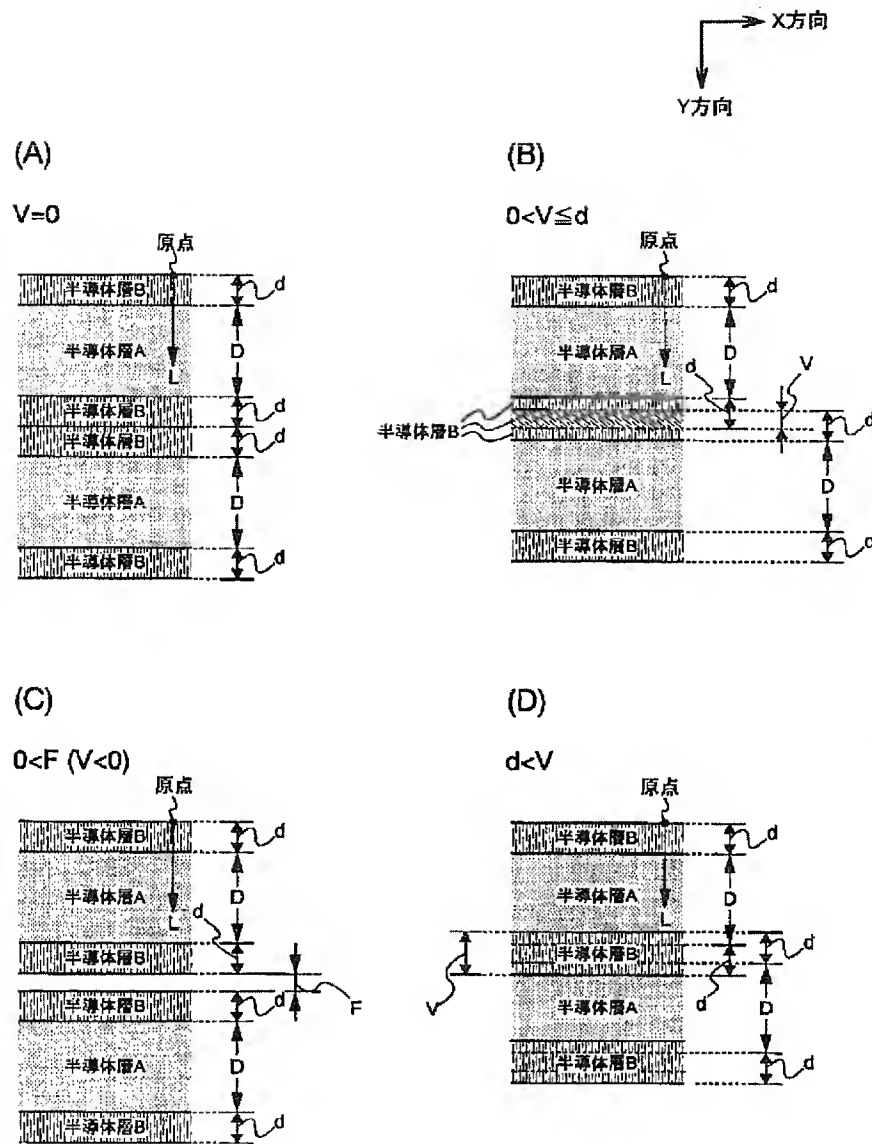
(B)



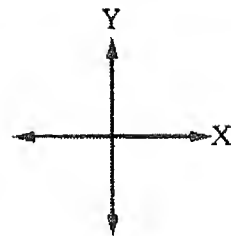
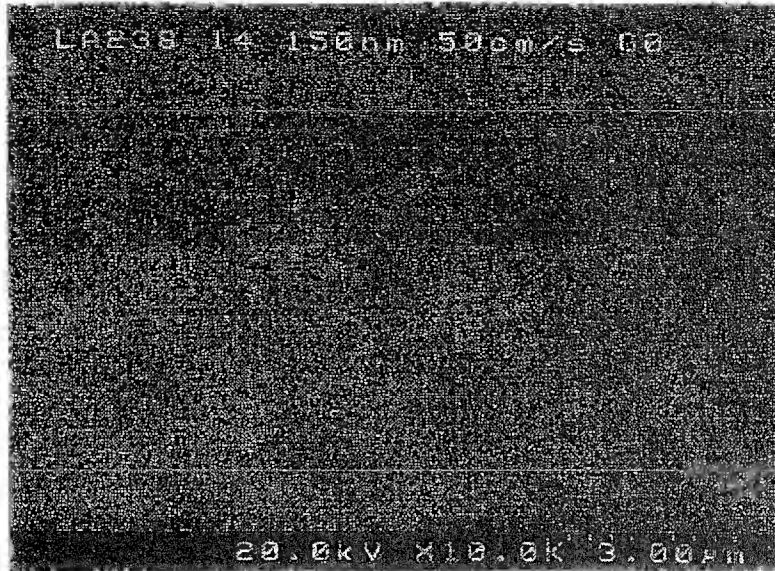
【図 12】



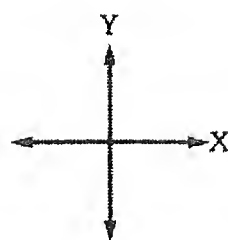
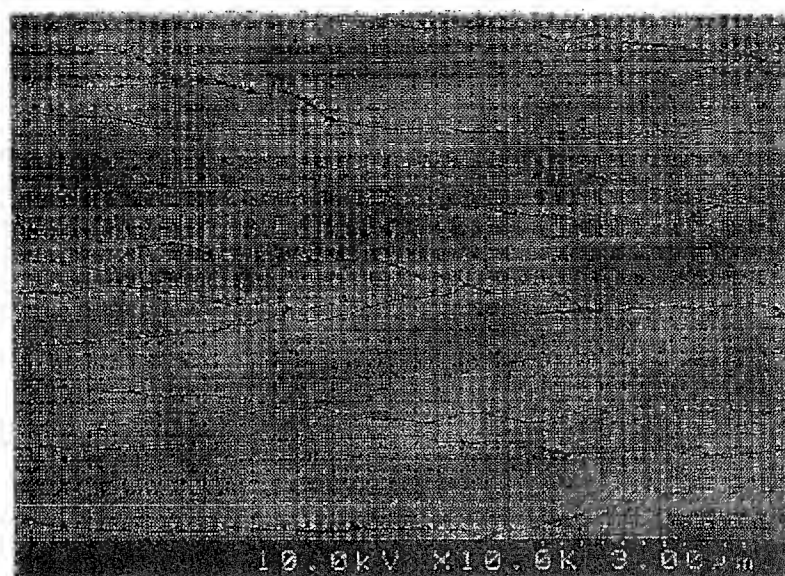
【図 9】



【図10】

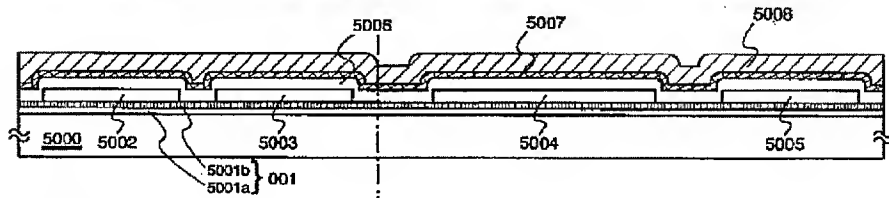


【図11】

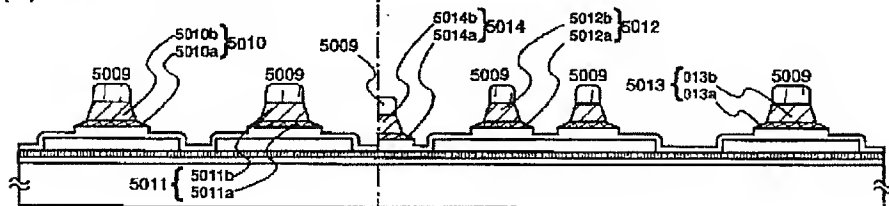


【図13】

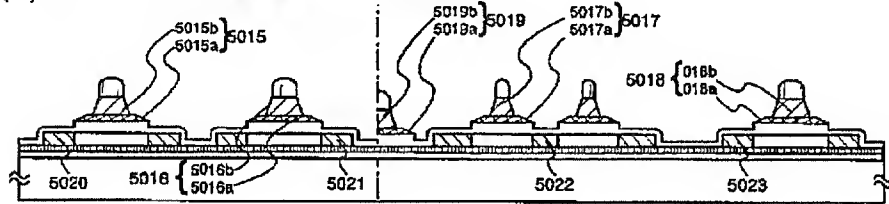
(A) 下地絶縁膜形成／半導体層形成／ゲート絶縁膜形成／第1, 第2の導電層形成



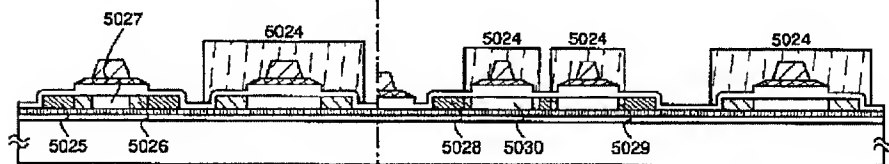
(B) 第1のエッチング処理



(C) 第2のエッチング処理／第1のドーピング処理



(D) 第2, 第3のドーピング処理

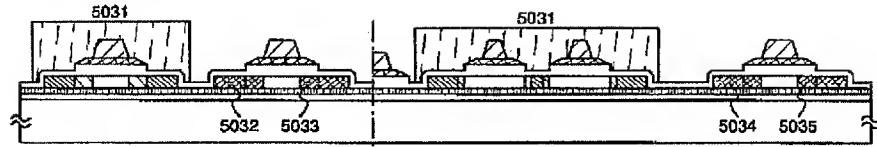


5000 : 基板
 5001 : 下地膜
 5002~5005 : 半導体層
 5006 : ゲート絶縁膜
 5007 : 第1の導電層
 5008 : 第2の導電層
 5009, 5024 : レジストマスク
 5010~5014 : 第1の形状の導電層

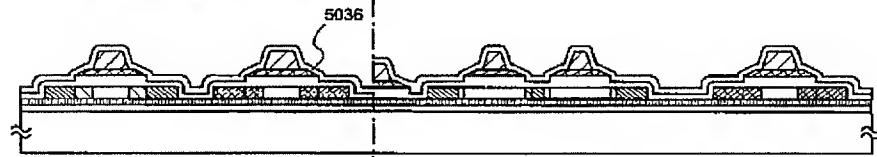
5015~5019 : 第2の形状の導電層
 5020~5023 : 第1の不純物領域(N-領域)
 5025, 5028 : 第2の不純物領域(N-領域)
 5026 : 第3の不純物領域(N+領域)
 5027, 5030 : チャネル領域
 5029 : 第1の不純物領域(N-領域)

【図14】

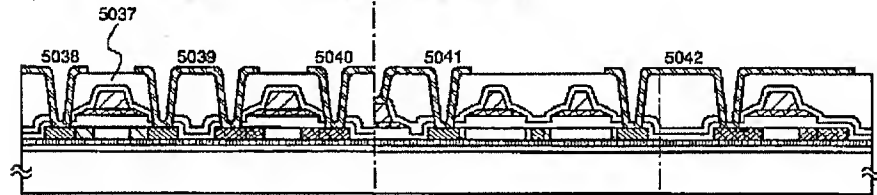
(A) 第4のドーピング処理



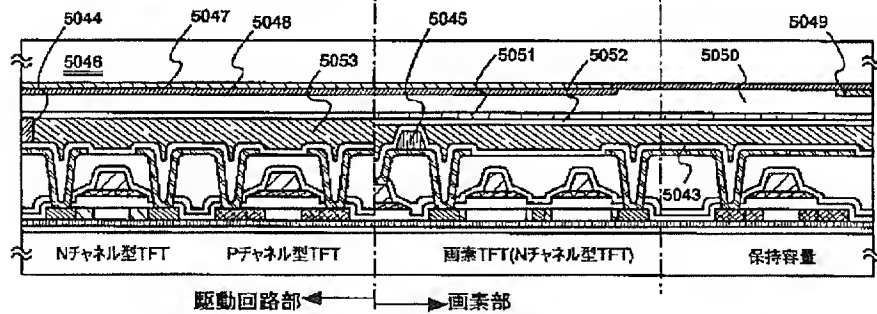
(B) 第1の層間絶縁膜の形成／熱処理



(C) 第2の層間絶縁膜の形成／配線および画素電極の形成



(D) 対向基板側形成／液晶封入

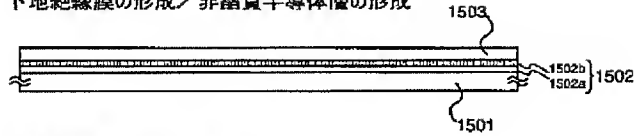


5031 : レジストマスク
 5032, 5034 : 第4の不純物領域(P+領域)
 5033, 5035 : 第5の不純物領域(P-領域)
 5036 : 第1の層間絶縁膜
 5037 : 第2の層間絶縁膜
 5038~5041 : 配線
 5042 : 画素電極
 5043, 5052 : 配向膜

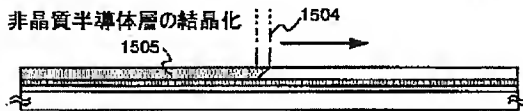
5044 : シール材
 5045 : 柱状スペーサ
 5046 : 対向基板
 5047~5049 : 着色層(カラーフィルタ)
 5050 : 平坦化膜
 5051 : 対向電極
 5053 : 液晶

【図15】

(A) 下地絶縁膜の形成／非晶質半導体層の形成



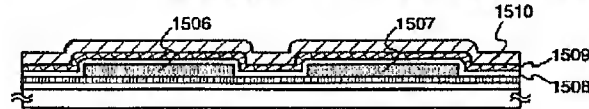
(B) 非晶質半導体層の結晶化



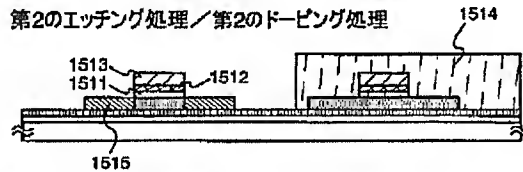
(C) 第1のドーピング処理



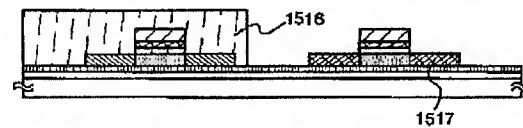
(D) 第1のエッチング処理／絶縁膜の形成／第1、第2の導電層の形成



(E) 第2のエッチング処理／第2のドーピング処理



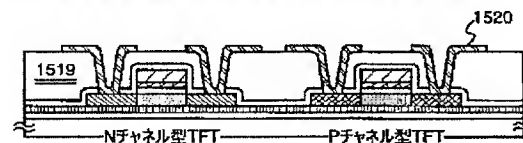
(F) 第3のドーピング処理



(G) 第1の層間絶縁膜の形成／熱処理

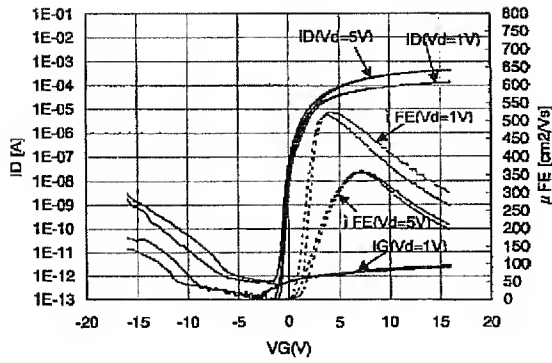


(H) 第2の層間絶縁膜の形成／水素化処理／配線形成

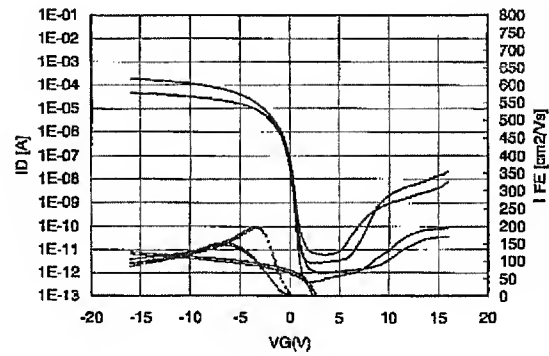
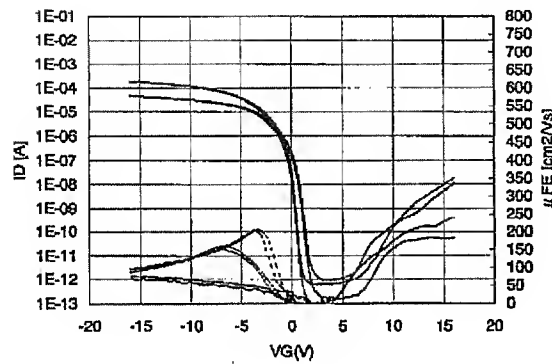
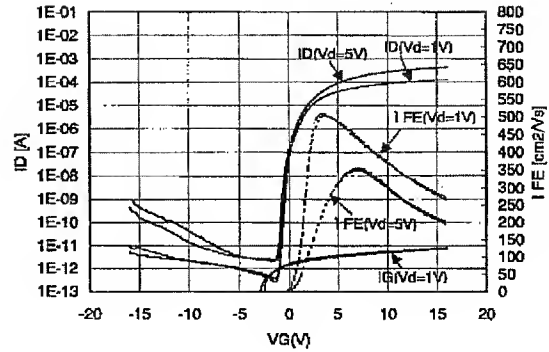


- 1501 : 基板
- 1502 : 下地膜
- 1503 : 非晶質半導体層
- 1504 : レーザ
- 1505 : 結晶質半導体層
- 1506, 1507 : 島状の半導体層
- 1508 : ゲート絶縁膜
- 1509 : 第1の導電層
- 1510 : 第2の導電層
- 1511 : ゲート絶縁膜
- 1512 : 第1の導電層
- 1513 : 第2の導電層
- 1514 : レジストマスク
- 1515 : 第1の不純物領域
- 1516 : レジストマスク
- 1517 : 第2の不純物領域
- 1518 : 第1の層間絶縁膜
- 1519 : 第2の層間絶縁膜
- 1520 : 配線

【図16】

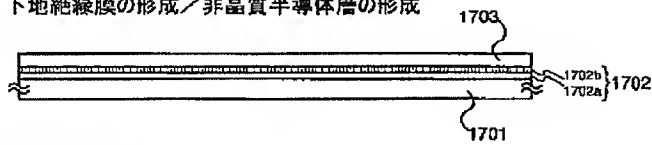


【図18】

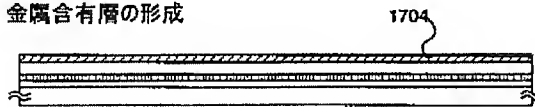


【図17】

(A) 下地絶縁膜の形成／非晶質半導体層の形成



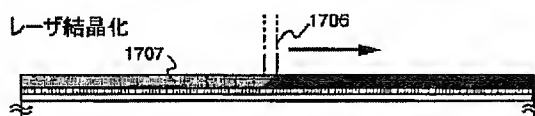
(B) 金属含有層の形成



(C) 熱処理

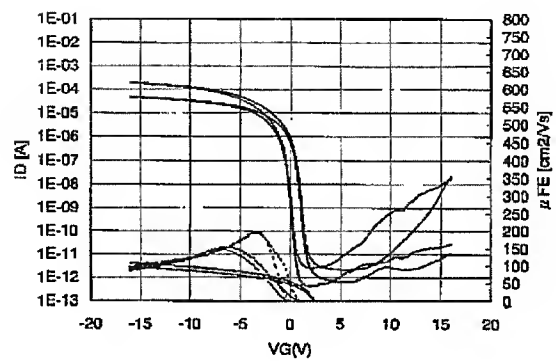
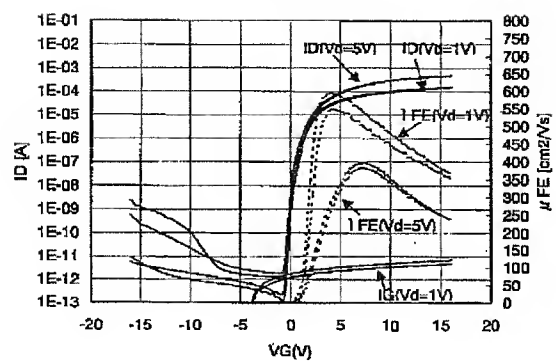


(D) レーザ結晶化



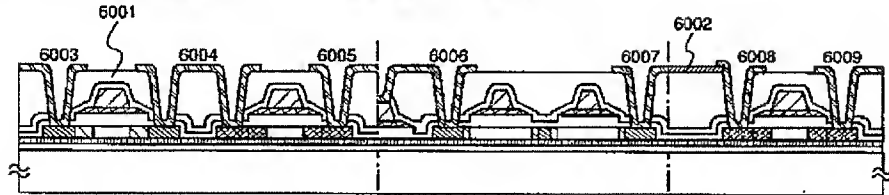
- 1701 : 基板
- 1702 : 下地膜
- 1703 : 非晶質半導体層
- 1704 : 金属含有層
- 1705 : 第1の結晶質半導体層
- 1706 : レーザ
- 1707 : 第2の結晶質半導体層

【図19】

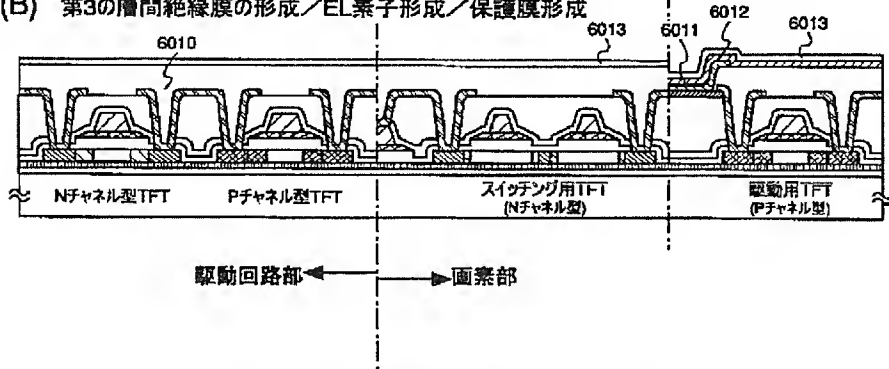


【図21】

(A) 第2の層間絶縁膜の形成／画素電極形成／配線形成

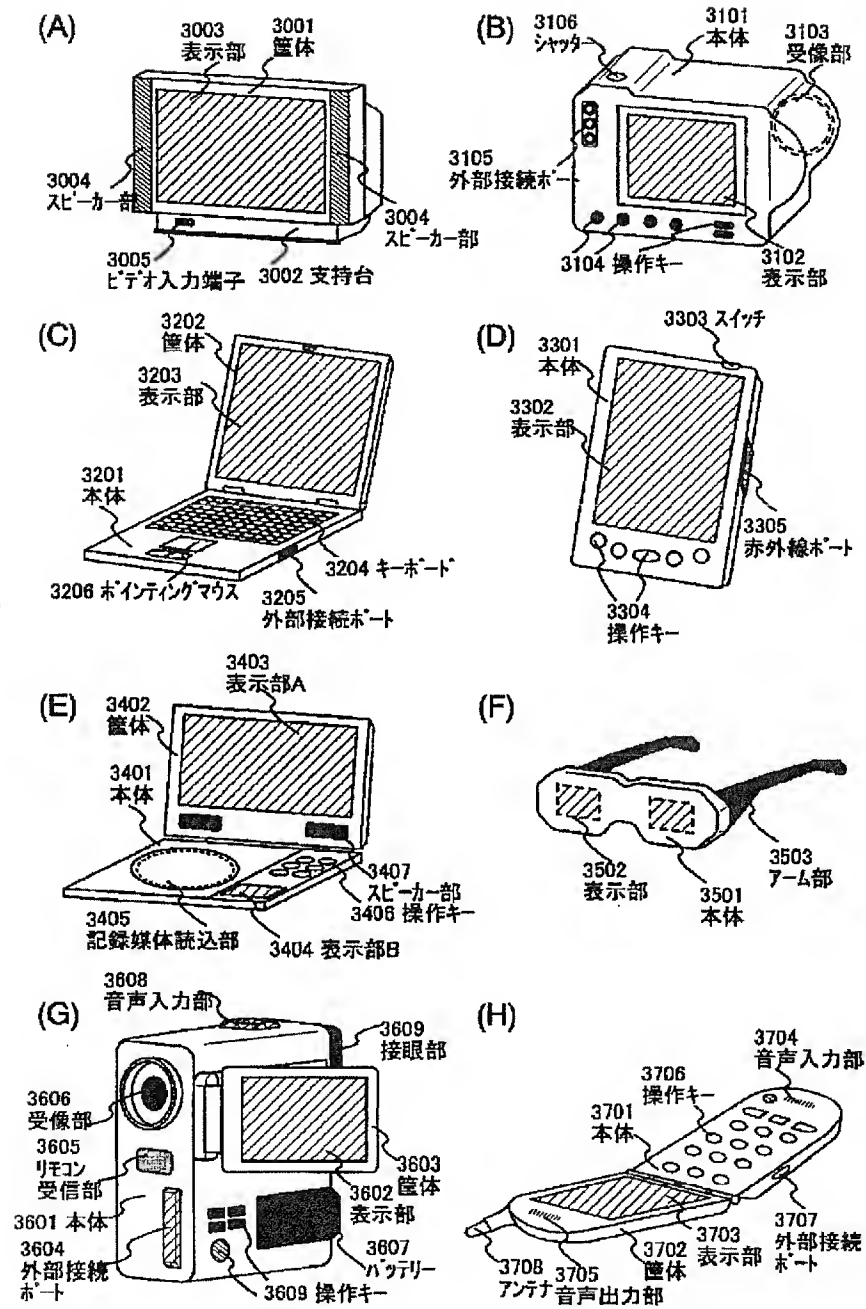


(B) 第3の層間絶縁膜の形成／EL素子形成／保護膜形成

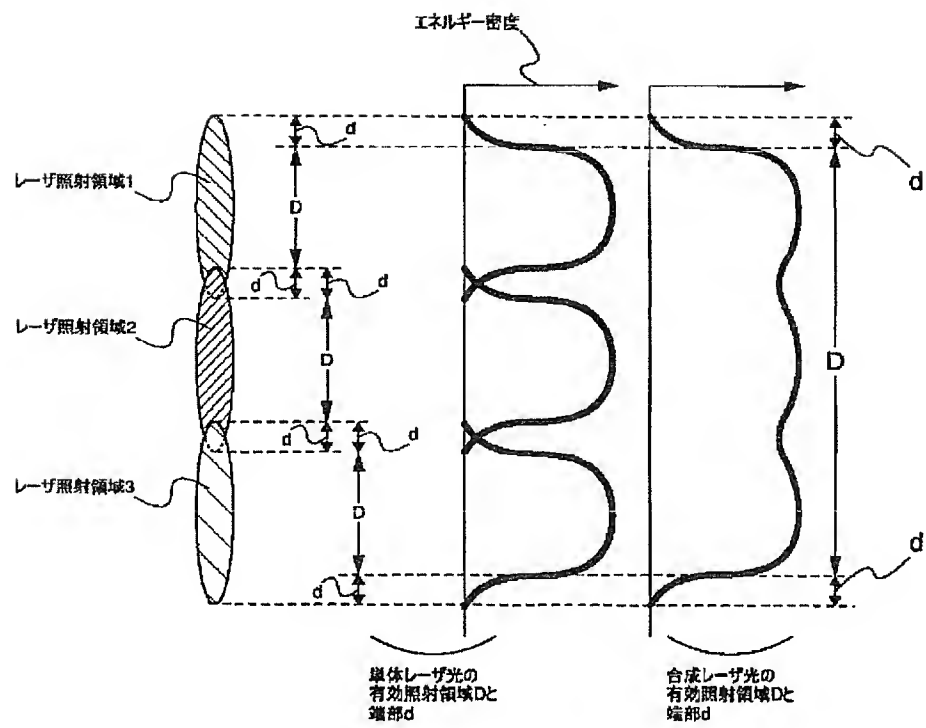


- | | | | |
|-----------|------------|------|------------|
| 6001 | : 第2の層間絶縁膜 | 6011 | : EL層 |
| 6002 | : 画素電極(陽極) | 6012 | : 画素電極(陰極) |
| 6003~6009 | : 配線 | 6013 | : 保護膜 |
| 6010 | : 第3の層間絶縁膜 | | |

【図 22】

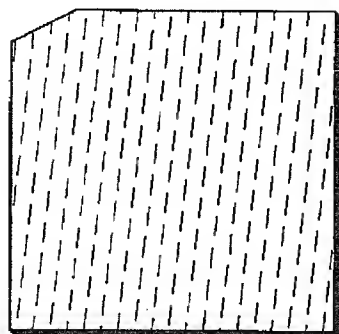


【図23】

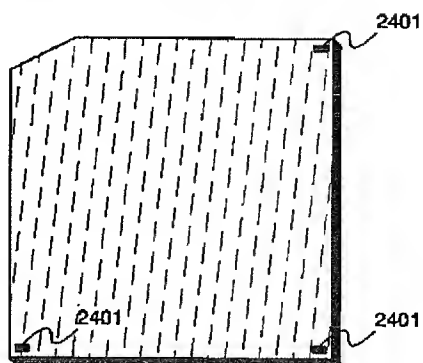


【図 24】

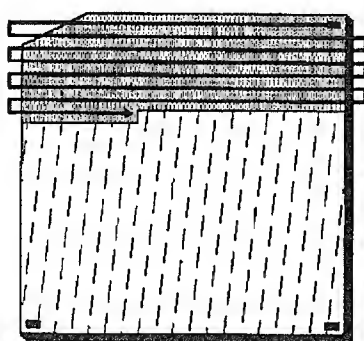
(A) 非晶質半導体層の形成



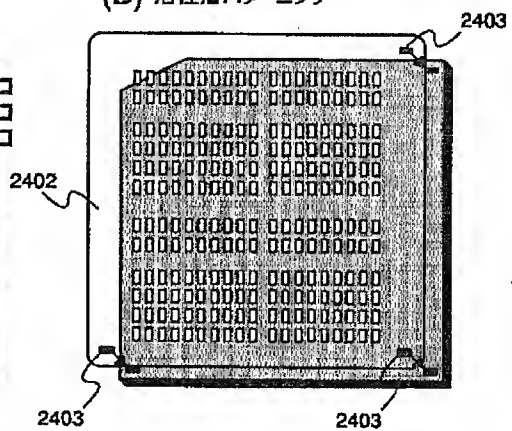
(B) アライメントマーカ形成



(C) レーザ結晶化



(D) 活性層パターンニング



2401 : アライメントマーカ
 2402 : 活性層パターンニング用マスク
 2403 : マスク側アライメントマーカ

フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 1 S 3/00

F ターム(参考) 5F052 AA02 BA02 BA04 BA07 BA14
BB01 BB04 BB05 BB06 BB07
DA01 DA02 DB03 EA15 FA06
FA19 JA04
5F072 AA02 AA05 AA06 AB01 AB04
AB05 AB07 AB15 AB20 MM08
MM09 YY08
5F110 AA01 BB02 BB04 CC02 DD01
DD02 DD03 DD05 DD15 EE01
EE02 EE03 EE04 EE06 EE14
EE15 EE23 EE44 EE45 FF02
FF04 FF28 FF30 GG02 GG13
GG28 GG29 GG31 GG45 GG51
HJ01 HJ04 HJ12 HJ13 HJ23
HL01 HL02 HL03 HL04 HL07
HL12 HL23 HM15 NN02 NN03
NN04 NN23 NN24 NN27 NN35
NN36 PP01 PP03 PP04 PP05
PP06 PP10 PP22 PP24 PP29
PP34 PP35 QQ11 QQ19 QQ24
QQ25